

СХЕМОТЕХНИКА ЭВМ. ИМИТАЦИОННОЕ МОДЕЛИРОВАНИЕ ОПЕРАЦИОННЫХ ЭЛЕМЕНТОВ

Методические указания к выполнению лабораторных работ № 1-3

Часть 1

ПРИМЕНЕНИЕ МОДЕЛИРУЮЩЕЙ СИСТЕМЫ MICRO-CAP 10 В ЗАДАЧАХ ПОСТРОЕНИЯ ПРОСТЕЙШИХ ЦИФРОВЫХ СХЕМ

Цель работы: Ознакомление с правилами моделирования цифровых схем с помощью Micro-Cap 10.

1. МЕТОДИЧЕСКИЕ УКАЗАНИЯ

Моделирующая система Micro-Cap используется для моделирования цифровых схем малой и средней интеграции с целью их синтеза и проверки работоспособности.

Micro-Cap 10 – это универсальный пакет программ схемотехнического анализа, предназначенный для решения широкого круга задач. С его помощью можно анализировать как аналоговые, так и цифровые устройства. Возможно также смешанное моделирование аналого-цифровых электронных устройств.

1.1 Основные элементы цифровых схем

Логические элементы «Повторитель» (K555ЛП8) с тремя состояниями выхода осуществляют передачу сигналов с входа X на выход при наличии уровня логического нуля на управляющем входе W . При наличии на входе W уровня логической единицы выход элемента переходит в высокоимпедансное состояние (рисунок 1).

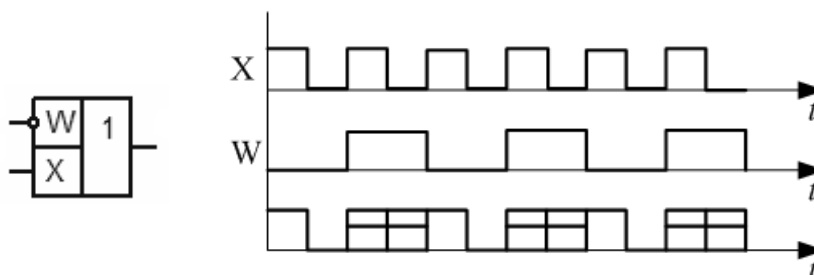


Рисунок 1 – Временная диаграмма работы «Повторителя»

Логические элементы «Расширитель» (К155ЛД1) (обозначенные символом «&», с выходами K и E) при подключении к расширяемому элементу «И-ИЛИ-НЕ» выполняют функцию «И» – конъюнкцию входных переменных, а расширяемый элемент – функцию «ИЛИ-НЕ». Соединяемые выводы расширителя и расширяемого элемента обозначены буквами E и K , A и B , соответственно (рисунок 2).

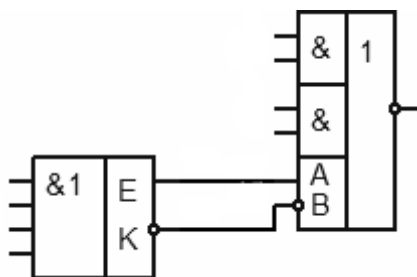


Рисунок 2 – Подключение «Расширителя» к расширяемому элементу

Триггер J-K (К155ТВ1) – универсальный двухступенчатый триггер (рисунок 3).

Вторая ступень триггера имеет инверсные входы установки \bar{S} и сброса \bar{R} . Каждый из входов J и K снабжен трехвходовым логическим элементом, поэтому у микросхемы три входа J и три входа K . У триггера есть тактовый вход C и выходы Q и \bar{Q} .

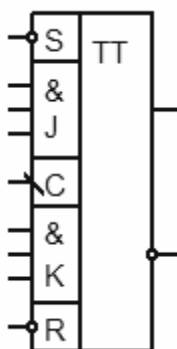


Рисунок 3 – J-K-триггер

Управление состоянием триггера по входам \bar{S} и \bar{R} происходит согласно таблице 1.

Когда на входах \bar{S} и \bar{R} присутствуют напряжения высокого уровня, в триггер можно записывать информацию через входы J и K , либо хранить ее. Состояния двухступенчатого триггера переключаются срезом положительного тактового импульса. JK -информация записывается в первую ступень, когда напряжение тактового входа C переходит на высокий уровень и переписывается во вторую ступень по отрицательному перепаду тактового импульса от 1 к 0 (таблица 2). Состояния выходов Q и \bar{Q} определены, если на входы \bar{S} и \bar{R} одновременно подать напряжение низкого уровня. Кроме того, сигналы на выходах не меняются, если на входе C присутствует напряжение высокого уровня.

Входы \bar{S} и \bar{R} – асинхронные с активным низким уровнем. Когда на эти входы поданы противоположные уровни 1 и 0, входы \bar{C} , J и K действовать не будут.

Таблица 1

Переходы триггера в R-S-режиме

Режим работы	Входы		Выходы	
	\bar{S}	\bar{R}	Q	\bar{Q}
Асинхронная установка	0	1	1	0
Асинхронный сброс	1	0	0	1
Хранение	1	1	Q	\bar{Q}
Неопределенность	0	0	1	1

Таблица 2

Переходы J-K-триггера в синхронном режиме

Режим работы	Входы					Выходы	
	\bar{S}	\bar{R}	C	J	K	Q	\bar{Q}
Загрузка 0 (сброс)	1	1	$\overline{\text{L}}$	0	1	0	1
Загрузка 1 (установка)	1	1	$\overline{\text{L}}$	1	0	1	0
Хранение (нет изменений)	1	1	$\overline{\text{L}}$	0	0	Q	\bar{Q}
Переключение (счетный режим)	1	1	$\overline{\text{L}}$	1	1	\bar{Q}	Q

Триггер J-K в синхронном режиме

На входах J и K триггер имеет *трехходовые* логические схемы «И». Триггер переключается только под действием синхронизирующего импульса. Это необходимо при работе с несколькими триггерами, например, в регистрах, для обеспечения одновременного приема информации в узлах ЦВМ.

Управление триггером в синхронном режиме возможно только при одновременной подаче разнополярных сигналов на входы J и K и синхронизирующего импульса. При подаче на входы J и K нулевого сигнала триггер сохраняет предыдущее состояние.

При подаче на входы триггера только сигнала синхронизации он работает в счетном режиме. Счетный режим реализуется, если на входы J и K подана единица (+5 В).

Временные диаграммы работы J-K-триггера в различных режимах представлены на рисунках 4 и 5.

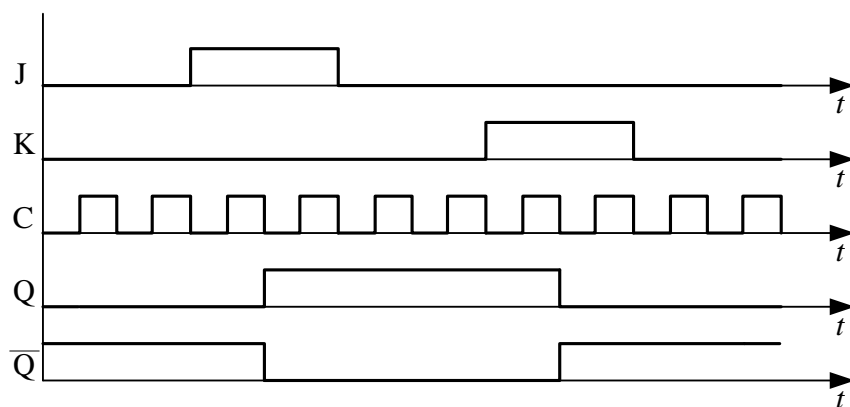


Рисунок 4 - Временная диаграмма работы J-K-триггера

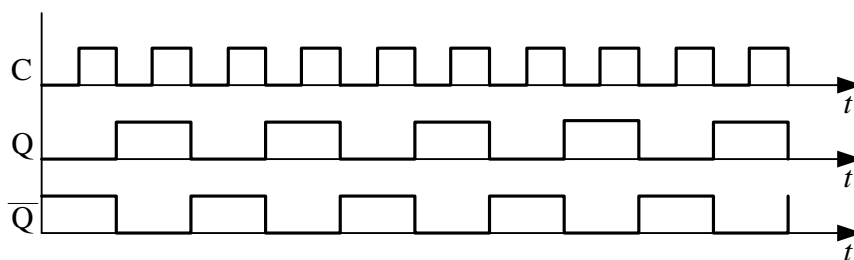


Рисунок 5 - Временная диаграмма J-K-триггера (счетный режим)

D-триггер (К155ТМ2)

Триггер типа D (рисунок 6) может работать в двух режимах: синхронном – управление производится по входу D, и асинхронном – управление по R-S-входам.

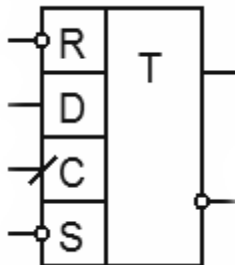


Рисунок 6 – D-триггер

D-триггер в синхронном режиме

Триггер переключается при переходе сигнала на входе C от низкого уровня (логический 0) к высокому уровню (логическая 1). В таблице 3 приведены состояния триггера в синхронном режиме работы: $Q(t)$ - исходное состояние до подачи синхроимпульса, $Q(t+1)$ - состояние триггера по окончании воздействия синхроимпульса.

Таблица 3

Переходы D-триггера в синхронном режиме

Режим работы	Входы				Выходы			
	\bar{R}	\bar{S}	C	D	$Q(t)$	$\bar{Q}(t)$	$Q(t+1)$	$\bar{Q}(t+1)$
Загрузка 0 (сброс)	1	1	┐	0	0	1	0	1
Загрузка 1(установка)	1	1	┐	1	0	1	1	0
Загрузка 0 (сброс)	1	1	┐	0	1	0	0	1
Загрузка 1(установка)	1	1	┐	1	1	0	1	0

Триггер является элементом задержки, так как переключается передним фронтом сигнала синхронизации, что показано на временной диаграмме на рисунке 7.

D-триггер в R-S-режиме

Переключение триггера производится сигналами низкого уровня, подаваемыми на вход сброса R или вход установки S (см. таблица 1).

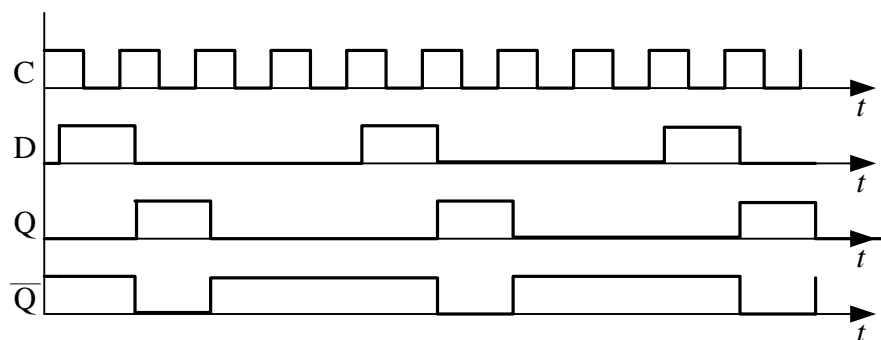


Рисунок 7 – Временная диаграмма работы D-триггера

Сдвоенный дешифратор 2-4 (К155ИД4) (рисунок 8) может выполнять функции двойного дешифратора 2-4, двойного мультиплексора 1-4, дешифратора 3-8, мультиплексора 1-8.

Микросхема дешифратора имеет два адресных входа $SE1$ и $SE2$, предназначенных для одновременного управления выходными состояниями дешифраторов каждой из двух частей схемы. В каждой части схемы имеются отдельные стробирующие входы: $\overline{C1}$, $D1$ – для верхней группы, $\overline{C2}$, $\overline{D2}$ – для нижней группы.

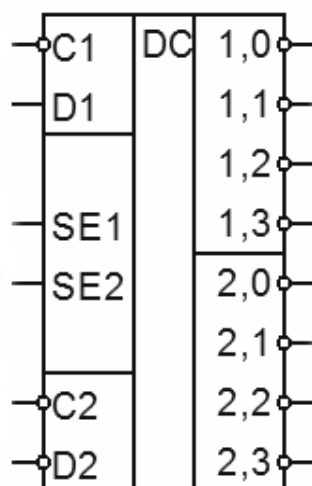


Рисунок 8 – Сдвоенный дешифратор 2-4

Режимы работы сдвоенного дешифратора приведены в таблице 4.

Таблица истинности состояний сдвоенного дешифратора

Состояния входов						Состояния выходов							
						Дешифратор 1				Дешифратор 2			
$SE1$	$SE2$	$\overline{C1}$	$D1$	$\overline{C2}$	$\overline{D2}$	1,0	1,1	1,2	1,3	2,0	2,1	2,2	2,3
x	x	1	x	1	x	1	1	1	1	1	1	1	1
x	x	x	0	x	1	1	1	1	1	1	1	1	1
0	0	0	1	0	0	0	1	1	1	0	1	1	1
1	0	0	1	0	0	1	0	1	1	1	0	1	1
0	1	0	1	0	0	1	1	0	1	1	1	0	1
1	1	0	1	0	0	1	1	1	0	1	1	1	0

Примечание: x - значение сигнала на входе любое (0 или 1), не влияет на состояние выходов.

Двоичный дешифратор 3-8 (К155ИД7) (рисунок 9) обеспечивает преобразование трехразрядного двоичного числа, подаваемого на входы $D0$, $D1$, $D2$ в унитарный код на выходах – 0, 1, ..., 7.

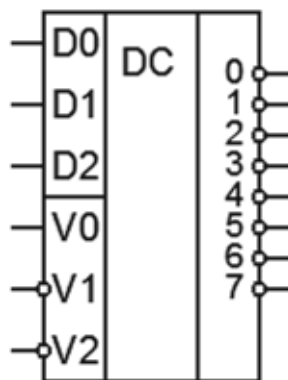


Рисунок 9 – Двоичный дешифратор 3-8

Выход дешифратора, соответствующий входной кодовой комбинации, имеет низкий уровень, остальные выходы – высокий.

Функционирование дешифратора разрешено при логической единице на входе $V0$ и логическом нуле на обоих входах – $\overline{V1}$ и $\overline{V2}$.

Режимы работы двоичного дешифратора приведены в таблице 5.

Таблица истинности состояний двоичного дешифратора

Состояния входов						Состояния выходов							
$D0$	$D1$	$D2$	$V0$	$\overline{V1}$	$\overline{V2}$	0	1	2	3	4	5	6	7
0	0	0	1	1	0	1	1	1	1	1	1	1	1
0	0	0	1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	0	0	1	0	1	1	1	1	1	1
0	1	0	1	0	0	1	1	0	1	1	1	1	1
1	1	0	1	0	0	1	1	1	0	1	1	1	1
0	0	1	1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	0	0	1	1	1	1	1	0	1	1
0	1	1	1	0	0	1	1	1	1	1	1	0	1
1	1	1	1	0	0	1	1	1	1	1	1	1	0

Сдвоенный мультиплексор 4-1 (К155КП2) (рисунок 10) позволяет решать следующие задачи:

- Выбор информационного канала;
- Реализация логической функции параллельно-последовательного преобразователя;
- Мультиплексирование с четырех линий на одну.

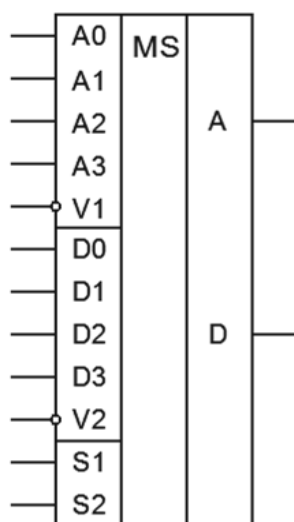


Рисунок 10 – Сдвоенный мультиплексор 4-1

Сигнал на выходе мультиплексора с канала, определяемого адресными входами $S1$ и $S2$, появляется только при наличии на соответствующем входе \bar{V} уровня логического нуля (таблица 6).

Таблица 6

Таблица истинности состояний сдвоенного мультиплексора

Адресные входы		Входы верхние					Выход А	Входы нижние					Выход D
$S1$	$S2$	$A0$	$A1$	$A2$	$A3$	$\bar{V}1$		$D0$	$D1$	$D2$	$D3$	$\bar{V}2$	
x	x	x	x	x	x	1	0	x	x	x	x	1	0
0	0	0	x	x	x	0	0	0	x	x	x	0	0
0	0	1	x	x	x	0	1	1	x	x	x	0	1
1	0	x	0	x	x	0	0	x	0	x	x	0	0
1	0	x	1	x	x	0	1	x	1	x	x	0	1
0	1	x	x	0	x	0	0	x	x	0	x	0	0
0	1	x	x	1	x	0	1	x	x	1	x	0	1
1	1	x	x	x	0	0	0	x	x	x	0	0	0
1	1	x	x	x	1	0	1	x	x	x	1	0	1

Примечание: x - значение сигнала на входе любое (0 или 1), не влияет на состояние выходов.

Мультиплексор на 8 каналов (К155КП7) (рисунок 11) осуществляет передачу информации с одного из входов $D0, D1, \dots, D7$, выбранного по коду адреса на адресных входах A, B, C при наличии потенциала низкого уровня на входе \bar{V} на выход (таблица 7).

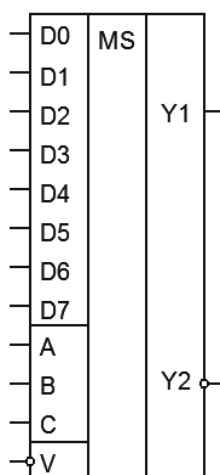


Рисунок 11 – Мультиплексор на 8 каналов

Таблица истинности состояний мультиплексора на 8 каналов

Состояния входов									Состояния выходов				
информационных								адресных			прямого $Y1$	инверсного $\overline{Y2}$	
$D0$	$D1$	$D2$	$D3$	$D4$	$D5$	$D6$	$D7$	\overline{V}	A	B			C
x	x	x	x	x	x	x	x	1	x	x	x	0	1
0	x	x	x	x	x	x	x	0	0	0	0	0	1
1	x	x	x	x	x	x	x	0	0	0	0	1	0
x	0	x	x	x	x	x	x	0	1	0	0	0	1
x	1	x	x	x	x	x	x	0	1	0	0	1	0
x	x	0	x	x	x	x	x	0	0	1	0	0	1
x	x	1	x	x	x	x	x	0	0	1	0	1	0
x	x	x	0	x	x	x	x	0	1	1	0	0	1
x	x	x	1	x	x	x	x	0	1	1	0	1	0
x	x	x	x	0	x	x	x	0	0	0	1	0	1
x	x	x	x	1	x	x	x	0	0	0	1	1	0
x	x	x	x	x	0	x	x	0	1	0	1	0	1
x	x	x	x	x	1	x	x	0	1	0	1	1	0
x	x	x	x	x	x	0	x	0	0	1	1	0	1
x	x	x	x	x	x	1	x	0	0	1	1	1	0
x	x	x	x	x	x	x	0	0	1	1	1	0	1
x	x	x	x	x	x	x	1	0	1	1	1	1	0

Примечание: x - значение сигнала на входе любое (0 или 1), не влияет на состояние выходов.

Четырехразрядный мультиплексор 2-1 (КР531КП11) (рисунок 12)

осуществляет передачу информации с одного из двух входов, выбранных с помощью адресного сигнала V , на выход при наличии на входе \bar{W} сигнала низкого уровня. При подаче на вход \bar{W} сигнала высокого уровня все выходы $Y0, Y1, Y2, Y3$ мультиплексора устанавливаются в состояние высокого импеданса (таблица 8).

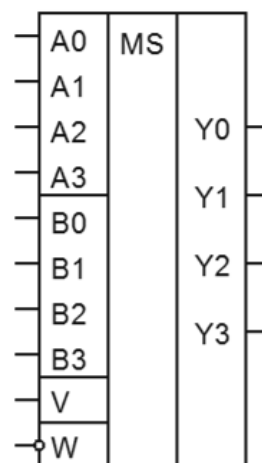


Рисунок 12 – Четырехразрядный мультиплексор 2-1

Таблица истинности состояний четырехразрядного мультиплексора

Состояния входов										Состояния выходов			
информационных								\overline{w}	V	$Y0$	$Y1$	$Y2$	$Y3$
$A0$	$B0$	$A1$	$B1$	$A2$	$B2$	$A3$	$B3$						
x	x	x	x	x	x	x	x	1	x	Y	Y	Y	Y
0	1	0	1	0	1	0	1	0	0	0	0	0	0
1	0	1	0	1	0	1	0	0	0	1	1	1	1
1	0	1	0	1	0	1	0	0	1	0	0	0	0
0	1	0	1	0	1	0	1	0	1	1	1	1	1

Примечание: x - значение сигнала на входе любое (0 или 1), не влияет на состояние выходов.

1.2 Основные этапы моделирования в Micro-Cap

Для того чтобы провести имитационное моделирование, необходимо из пункта меню «Компоненты» выбрать подменю «Russian Digital», откуда выбрать необходимый элемент и поместить его на стол моделирования (рисунок 13). Данная процедура повторяется столько раз, сколько нужно для того, чтобы все элементы цифровой схемы находились на столе моделирования.

Для соединения выводов элементов необходимо выбрать «Команды графического редактора» в пункте меню – «Опции» или воспользоваться иконками из панели инструментов (рисунок 14).

Для проверки работоспособности схемы необходимо открыть пункт меню «Анализ» и выбрать «Исследование переходных процессов в Probe...» или использовать сочетание клавиш «Ctrl + Alt + 1» (рисунок 15). В появившемся диалоговом окне «Анализ переходных процессов Transient» можно наблюдать временные диаграммы работы цифровой схемы (рисунок 16).

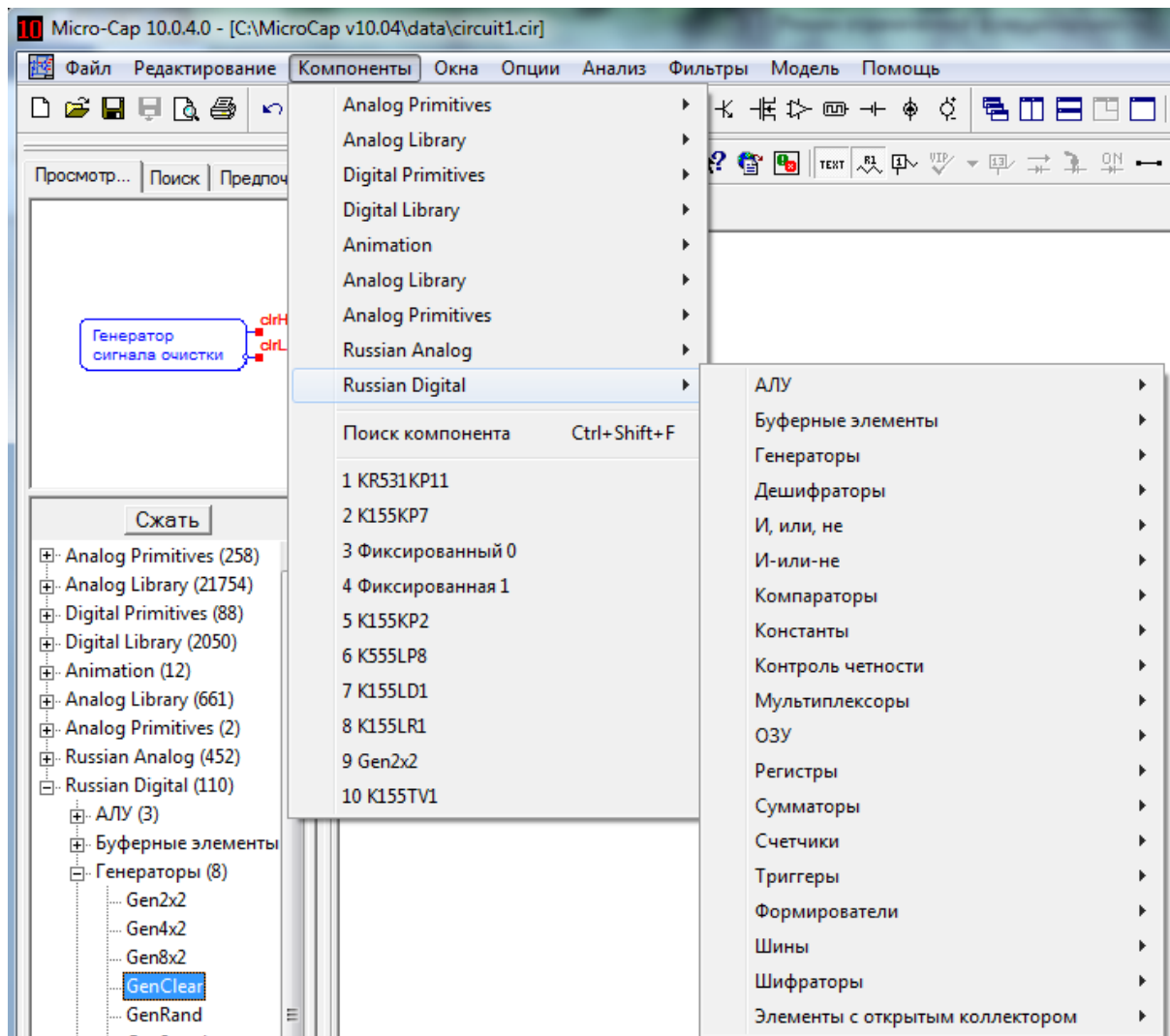


Рисунок 13 – Меню «Компоненты»

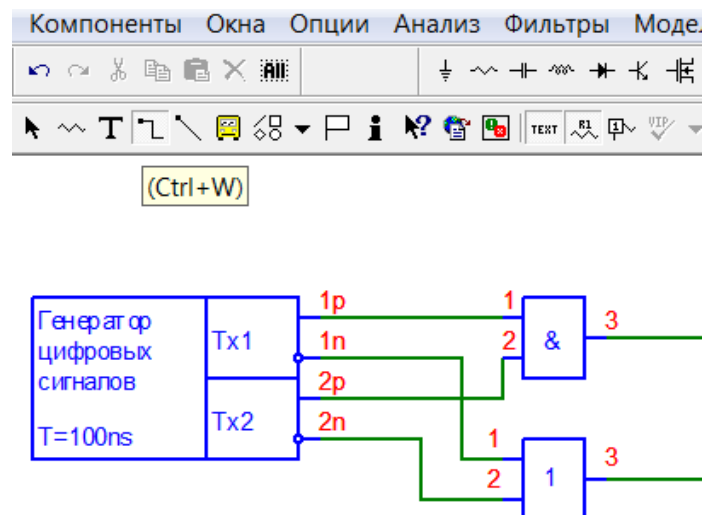


Рисунок 14 – Соединение элементов цифровой схемы

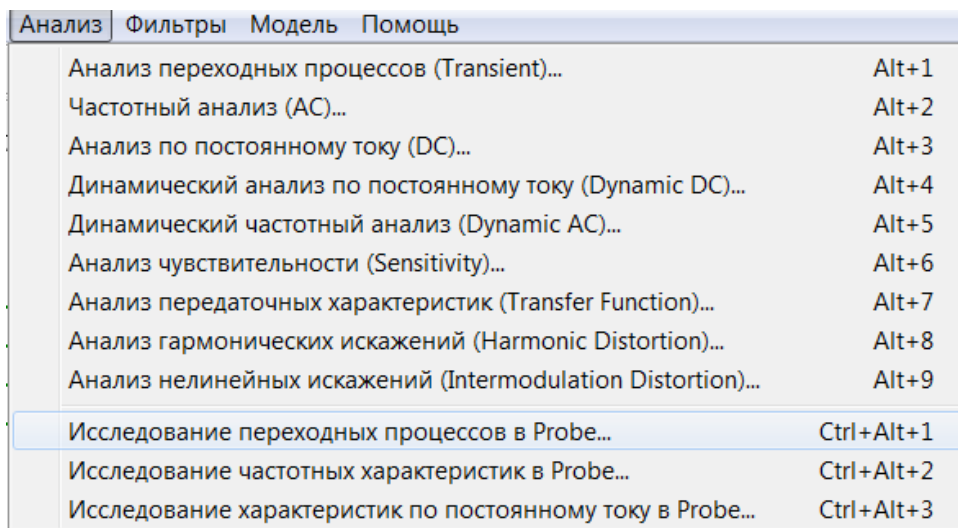


Рисунок 15 – Меню «Анализ»

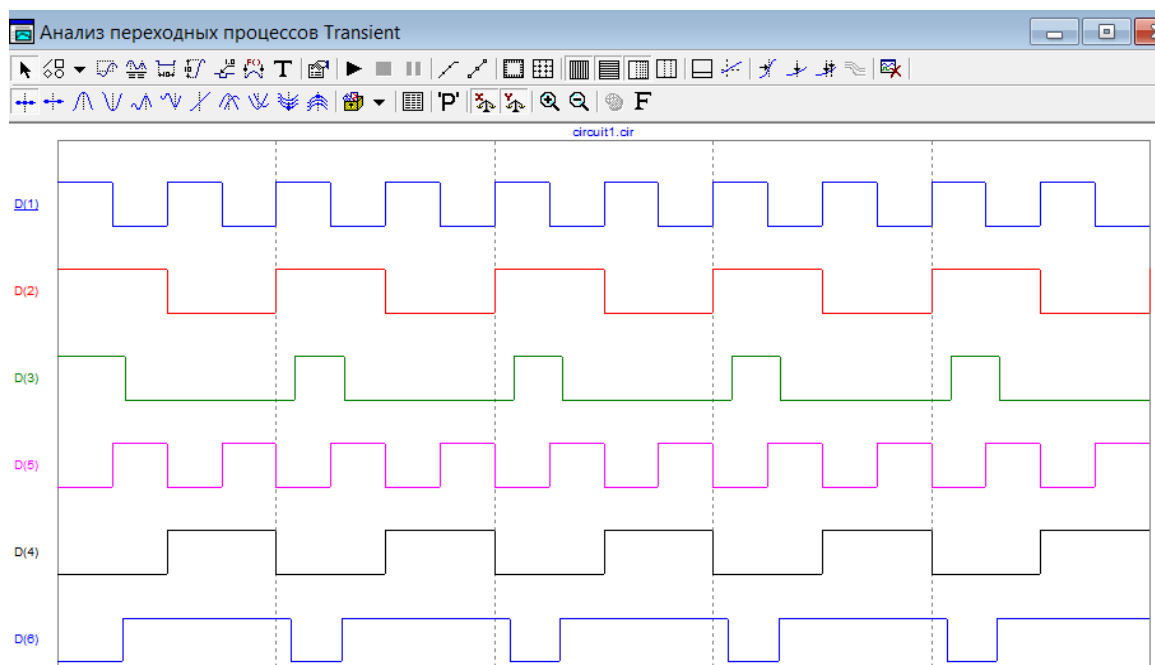


Рисунок 16 – Временные диаграммы работы логических элементов «И» и «ИЛИ»

2. ОБЩИЕ ТРЕБОВАНИЯ БЕЗОПАСНОСТИ

К выполнению лабораторных работ студенты допускаются только после проведения преподавателем инструктажа по вопросам безопасности и методике выполнения работ с обязательной отметкой в соответствующем «Журнале по технике безопасности».

Перед выполнением лабораторных работ следует:

1. Осмотреть рабочее место и подготовить ПК к выполнению лабораторной работы.
2. Убедиться в наличии заземления источника питания.

При выполнении лабораторной работы необходимо:

1. Поддерживать на рабочем месте чистоту и порядок, соблюдать осторожность и быть внимательным.
2. Немедленно отключить ПК от питающей сети при появлении запаха гари, дыма, огня, при искрении контактов.

3. ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ

1. Получить вариант задания у преподавателя.
2. В домашних условиях выполнить теоретическую, расчетную и графическую части задания в виде предварительной составляющей отчета.
3. Произвести моделирование схем в Micro-Cap 10 и проанализировать их работу.
4. Результаты работы показать преподавателю.
5. Оформить отчет.

4. ЗАДАНИЕ К ЛАБОРАТОРНОЙ РАБОТЕ

Задание к лабораторной работе формируется по таблице 9 в соответствии с вариантом, полученным у преподавателя.

Таблица 9

Индивидуальные задания

№ варианта	Реализовать логическую функцию	Проверить работу элемента
1	$X_1 X_2 \vee \overline{X_3} \overline{X_1}$	Двоичный дешифратор
2	$X_1 \overline{X_2} \vee \overline{X_1} X_2 \overline{X_3}$	J-K-триггер синхронный
3	$(X_1 \vee \overline{X_2})(\overline{X_1} \vee X_3) X_3$	Мультиплексор на 8 каналов
4	$(X_1 \overline{X_2} \vee \overline{X_2} X_3) X_1$	R-S-триггер асинхронный

5	$\overline{X_1}X_2 \vee \overline{X_1}X_3 \vee X_2$	D-триггер синхронный
6	$X_1 \vee \overline{X_2} \vee \overline{X_3} \vee \overline{X_1}X_3$	Сдвоенный мультиплексор
7	$X_1X_2X_3 \vee \overline{X_1}\overline{X_2}\overline{X_3} \vee X_1X_2$	Четырехразрядный мультиплексор
8	$X_1X_2 \vee X_1X_3 \vee \overline{X_1}\overline{X_2}$	Сдвоенный дешифратор
9	$(X_1 \vee X_2 \vee X_3)(\overline{X_1} \vee \overline{X_2} \vee \overline{X_3})$	Двоичный дешифратор
10	$X_1\overline{X_2}\overline{X_3} \vee \overline{X_1}X_3$	D-триггер синхронный
11	$(X_1 \vee X_2)(X_1 \vee X_3)(\overline{X_1} \vee \overline{X_2})$	R-S-триггер асинхронный
12	$(X_1 \vee X_2)(X_1 \vee X_3) \vee \overline{X_1}X_3$	Сдвоенный мультиплексор
13	$X_1\overline{X_2} \vee \overline{X_1}X_3$	Сдвоенный дешифратор
14	$(X_1 \vee X_2)(X_1 \vee X_3)X_2$	Мультиплексор на 8 каналов
15	$X_1X_2 \vee X_1X_3 \vee \overline{X_1}\overline{X_3} \vee \overline{X_1}\overline{X_2}$	Четырехразрядный мультиплексор
16	$(X_1 \vee X_2(X_1 \vee \overline{X_2}))(\overline{X_1} \vee X_3)$	J-K-триггер синхронный

5. СОДЕРЖАНИЕ ОТЧЕТА

Отчет о лабораторной работе должен содержать:

- титульный лист;
- индивидуальное задание;
- таблицы истинности логической функции и проверяемого элемента;
- схемы, построенные в моделирующей системе Micro-Cap 10;
- временные диаграммы работы цифровых схем.

6. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. J-K-триггер: режимы работы, переходы, временные диаграммы.
2. D-триггер: режимы работы, переходы, временные диаграммы.
3. Для чего служат логические элементы «Повторитель» и «Расширитель»?
4. Сколько корпусов ИС необходимо для реализации логической функции

$$F = \overline{\overline{X_1X_2X_3} \vee \overline{X_4X_5X_6} \vee \overline{X_7X_8X_9}}$$
?
5. Как отражается на работе логического элемента неиспользуемый вход?

КОДИРУЮЩИЕ УСТРОЙСТВА

Цель работы: Изучение принципов синтеза и методики оценки качества различных схем кодовых преобразователей.

1. МЕТОДИЧЕСКИЕ УКАЗАНИЯ

В цифровых устройствах часто возникает необходимость перекодирования чисел, т.е. представления их в ином коде. Устройства, преобразующие многоразрядный входной код в выходной код, называются **кодирующими устройствами** или **кодовыми преобразователями (КП)**. Название в большой мере условно, поскольку любое цифровое устройство преобразует некоторый входной код в некоторый выходной, т.е. является кодовым преобразователем. Будем применять этот термин к узлам, работа которых не описывается достаточно простым алгоритмом, а задается таблицей соответствия входов и выходов.

Существует несколько способов реализации КП:

- на постоянных запоминающих устройствах (ПЗУ);
- на программируемых логических матрицах (ПЛМ);
- на отдельных логических микросхемах.

В зависимости от требований, предъявляемых к преобразователю кода, для его реализации выбирается один из вышеуказанных способов. В данной лабораторной работе используется третий способ реализации - *построение КП на отдельных логических элементах*.

Если преобразования сложные, то преобразователи, выполняющие их, как правило, не поддаются достаточно простой классификации и их схемы приходится разрабатывать каждый раз индивидуально, используя общие приемы алгебры логики.

Преобразование n-разрядного кода $A = A_1A_2, \dots, A_n$ в m-разрядный код $C = C_1C_2, \dots, C_m$

Функционирование КП описывается в виде таблицы, в которой каждому из значений кода A ставится в соответствие m-разрядное значение кода C (рисунок 1).

A_1	A/C	C_1
A_2		C_2
\cdot		\cdot
\cdot		\cdot
A_n		C_m

Рисунок 1 – Преобразователь кода A в код C по произвольному закону

В таблице 1 определена функция преобразователя двоично-десятичного кода 8421 в двоично-десятичный код с избытком 3.

Таблица 1

Функционирование КП

Десятичное значение	Код 8421				Код с избытком 3			
	A_4	A_3	A_2	A_1	C_4	C_3	C_2	C_1
0	0	0	0	0	0	0	1	1
1	0	0	0	1	0	1	0	0
2	0	0	1	0	0	1	0	1
3	0	0	1	1	0	1	1	0
4	0	1	0	0	0	1	1	1
5	0	1	0	1	1	0	0	0
6	0	1	1	0	1	0	0	1
7	0	1	1	1	1	0	1	0
8	1	0	0	0	1	0	1	1
9	1	0	0	1	1	1	0	0

При синтезе схемы КП будем рассматривать преобразователь как систему булевых функций группы аргументов. Например, будем считать, что таблица 1 является таблицей истинности для задания функций C_1, C_2, C_3, C_4 :

$$C_1 = F_1(A_1, A_2, A_3, A_4);$$

$$C_2 = F_2(A_1, A_2, A_3, A_4);$$

$$C_3 = F_3(A_1, A_2, A_3, A_4);$$

$$C_4 = F_4(A_1, A_2, A_3, A_4).$$

Простейшим способом построения схемы, отрабатывающей систему функций с m выходами, является синтез обычными методами m независимых одновыходных функций.

Синтез состоит из следующих четырех этапов:

1. По таблице функционирования КП составляются диаграммы Вейча для функций C_1, C_2, \dots, C_m .
2. При минимизации системы функций, указанной в п.1, принципиально возможны два пути:
 - независимая минимизация каждой из m функций;
 - совместная минимизация системы переключательных функций (двух и более функций).

При совместной минимизации результирующая система может оказаться проще, чем совокупность независимо минимизированных функций. Это свойство проявляется при наличии общих для нескольких переключательных функций составляющих.

По заполненным в п.1 диаграммам производится минимизация функций C_1, C_2, \dots, C_m первым путем (*минимизация проводится по единичным и нулевым значениям функций*). Если для нескольких выходных функций имеются общие составляющие, то производится совместная минимизация этих функций.

3. По результатам минимизации выходные функции записываются в минимальной дизъюнктивной нормальной форме (ДНФ).
4. Рассматриваются различные варианты построения функциональной схемы КП по минимальным выражениям для выходных функций, полученным в п.3, с использованием различных логических элементов, приведенных в таблице 2 и элементов Micro-Cap 10. Проводится сравнительный анализ этих вариантов и выбирается тот, который имеет наилучшие качественные характеристики.

Цифровые микросхемы

Микросхема	Логическая функция	Количество элементов на кристалле	Количество входов одного элемента
K155ЛН1	НЕ	6	1
K155ЛИ1	И	4	2
K155ЛИ3	И	3	3
K155ЛИ6	И	2	4
K155ЛП5	mod2	4	2
K155ЛЛ1	ИЛИ	4	2
K155ЛА1	И-НЕ	2	4
K155ЛА2	И-НЕ	1	8
K155ЛА3	И-НЕ	4	2
K155ЛА4	И-НЕ	3	3
K155ЛЕ1	ИЛИ-НЕ	4	2
K155ЛЕ4	ИЛИ-НЕ	3	3
K155ЛР1	И-ИЛИ-НЕ	2	4
K155ЛР4	И-ИЛИ-НЕ	1	8
K555ЛР11	И-ИЛИ-НЕ	2	6/4
K555ЛР13	И-ИЛИ-НЕ	1	10
K555ЛП8	Повторитель	4	2
K155ЛД1	Расширитель	2	4
K555ИД6	Дешифратор	1	4
K555ИД7	Дешифратор	1	3/3
K155ИД4	Сдвоенный дешифратор 2-4	2	2/2
K155ИР1	Регистр	1	4/4
K555СП1	Сравнение двух чисел	1	4/4/3
K155ИЕ2	Счетчик	1	-
K155ИЕ4	Счетчик	1	-
K555ИЕ5	Счетчик	1	-
K155ИМ3	Сумматор	1	4/4/1
K155ТМ2	D-триггер	2	4
K155ТВ1	J-K-триггер	1	9
K155ТВ15	J-K-триггер	1	5
K155КП2	Сдвоенный мультиплексор 4-1	2	4/3
K155КП7	Мультиплексор 8-1	1	8/4
KP531КП11	Четырехразрядный мультиплексор 2-1	1	8/2

Для сравнения различных вариантов схем, реализующих одну и ту же функцию, нужно уметь оценивать их качество.

Сложность схемы определяется по методу Квайна:

1. По построенным диаграммам Вейча проводится минимизация по единичным и нулевым значениям выходных выражений.
2. Вычисляется ранг выражений по количеству входов, определяющих составленную схему.
3. Для компиляции схемы выбираются выражения с наименьшим рангом.

На окончательные показатели качества реального блока, который будет построен на основании некоторой схемы, влияют также и параметры этапа конструкторского проектирования (характер размещения элементов, трассировка связей и т.п.), неизвестные на этапе разработки функциональной схемы. Потому разумной является постановка вопроса не о точном вычислении значения качества, а лишь о приближенной его оценке, позволяющей если не выбрать гарантированно наилучшую функциональную схему, то хотя бы отсеять множество явно неперспективных и выделить небольшой список неразличимых по качеству на данном этапе схем с целью дальнейшего более внимательного изучения.

Наиболее распространенной методикой оценки качества схем является оценка по двум параметрам:

- по внутренней задержке T ;
- по аппаратным затратам (сложности) W .

Если проектирование блока специально ориентировано на достижение еще каких-либо целей (уменьшение потребляемой мощности, повышение надежности и т.п.), то вместо (или вместе с) T и W в процедуру оценки качества схемы можно включить любые актуальные для разработчика параметры. Принципиальных изменений в излагаемом подходе это не вызовет.

При работе на микросхемах **внутренняя задержка T** схемы достаточно объективно оценивается значением среднего времени задержки распространения входящих в нее элементов. В рамках одной серии обычно целесообразно полагать, что задержки всех логических элементов россыпи (И, ИЛИ, И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ, ИСКЛЮЧАЮЩЕЕ ИЛИ) одинаковы и равны некоторой усредненной для данной серии величине – τ .

Для серии микросхем K155 (ТТЛ технология) значение τ можно принять равным 20 нс. При подключении одного расширителя типа ЛД1 к расширяемому элементу типа ЛР1 время его переключения увеличится на 5 нс и станет равным 25 нс ($1,25 \tau$).

Аппаратурные затраты W функционального узла можно оценивать числом корпусов, которые используются при построении схемы. При этом неиспользованные элементы частично занятого корпуса не учитываются в оценке W , они могут быть использованы в других узлах. Подсчеты величины W удобно производить в двенадцатых долях, т.к. аппаратурные затраты схемы складываются из аппаратурных затрат входящих в нее элементов, а количество элементов в различных корпусах микросхем неодинаково – 1, 2, 3, 4, 6 (см. таблицу 2).

Построив несколько вариантов схем, необходимо выбрать наилучший из этих вариантов. В данном случае качество схемы оценивается по двум параметрам, задачу выбора наилучшего варианта можно сформулировать следующим образом: необходимо найти схему, для которой аппаратурные затраты и внутренняя задержка были бы наименьшими. Если такой схемы нет, то необходимо выделить список схем, неразличимых по качеству на данном этапе, т.е. выделить схемы, которые являются лучшими по сравнению с другими.

Рассмотрим синтез схем КП двоично-десятичного кода 8421 в двоично-десятичный код с избытком 3, закон функционирования которого представлен в таблице 1.

По таблице 1 составим диаграммы Вейча для выходных функций КП C_1, C_2, C_3, C_4 (рисунок 2).

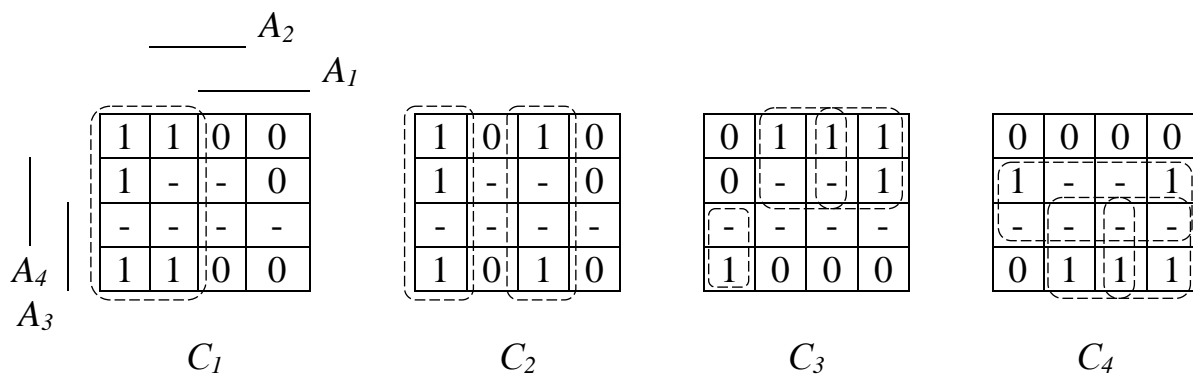


Рисунок 2 – Минимизация выходных функций C_1, C_2, C_3, C_4

На рисунке 2 представлена минимизация выходных функций по единичным значениям. Результаты минимизации по единичным и нулевым значениям сведены в таблицу 3.

Таблица 3

ДНФ выходных функций

Функция	«1»	Ранг	«0»	Ранг
C_1	$\overline{A_1}$	0	$\overline{A_1}$	0
C_2	$A_1 A_2 \vee \overline{A_1} \overline{A_2}$	6	$\overline{A_1 A_2 \vee \overline{A_1} \overline{A_2}}$	6
C_3	$A_1 \overline{A_3} \vee A_2 \overline{A_3} \vee \overline{A_1} \overline{A_2} A_3$	10	$\overline{A_1 A_3 \vee A_2 A_3 \vee \overline{A_1} \overline{A_2} \overline{A_3}}$	10
C_4	$A_1 A_3 \vee A_2 A_3 \vee A_4$	7	$\overline{A_3 A_4 \vee \overline{A_1} \overline{A_2} A_3}$	7

По выражениям, приведенным в таблице 3, можно построить несколько различных вариантов схем (рисунок 3).

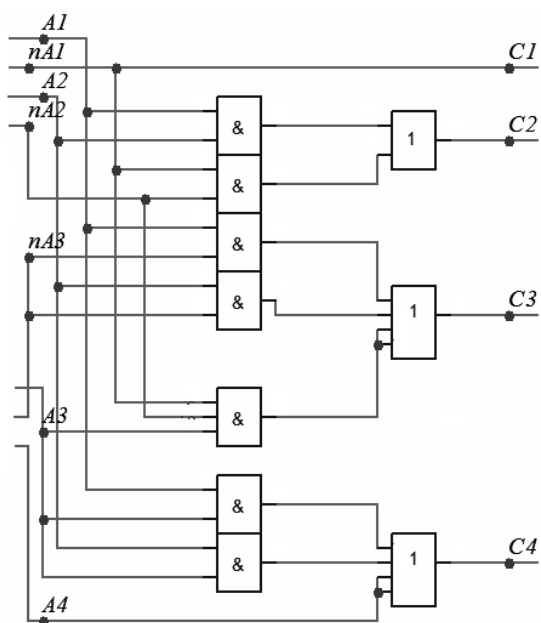


Схема 1

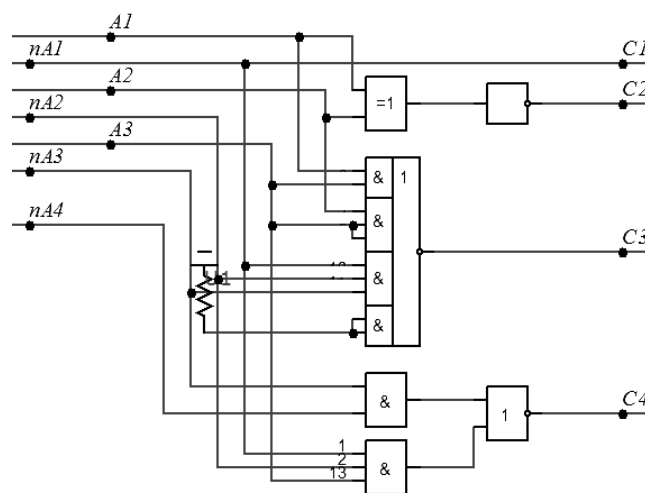


Схема 2

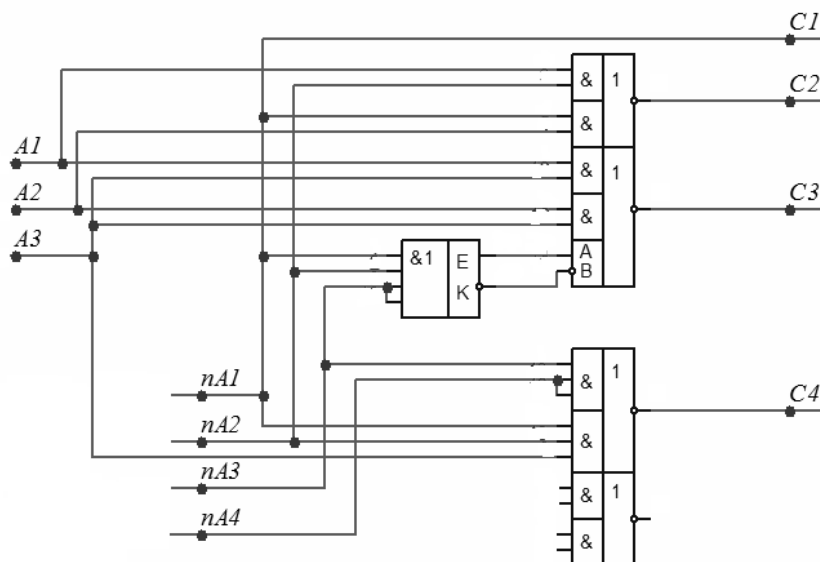


Схема 3

Рисунок 3 – Варианты построения схемы КП «8421 в ИЗБ3"

Для трех вариантов схем КП, представленных на рисунке 3, в таблице 4 указана следующая информация:

- корпуса микросхем, использованных для построения схемы КП;
- аппаратные затраты, необходимые для реализации функций C_2 , C_3 и C_4 (WC_2 , WC_3 и WC_4 соответственно);

- общие аппаратурные затраты W , которые определяются как сумма аппаратурных затрат отдельных функций;
- внутренняя задержка схемы КП – T .

Таблица 4

Сравнительный анализ вариантов схем КП (см. рисунок 3)

№ варианта	WC_2	WC_3	WC_4	W	T
1	$\frac{2/4 \text{ ЛИ1}}{1/4 \text{ ЛЛ1}}$ 9/12	$\frac{2/4 \text{ ЛИ1}}{1/3 \text{ ЛИЗ}}$ $\frac{1/1 \text{ ОР}}{22/12}$	$\frac{2/4 \text{ ЛИ1}}{1/1 \text{ ОР}}$ 18/12	49/12	2τ
2	$\frac{1/4 \text{ ЛП5}}{1/6 \text{ ЛН1}}$ 5/12	$\frac{1/1 \text{ ЛР13}}{12/12}$	$\frac{1/4 \text{ ЛИ1}}{1/3 \text{ ЛИЗ}}$ $\frac{1/4 \text{ ЛЕ1}}{10/12}$	27/12	2τ
3	$\frac{1/2 \text{ ЛД1}}{1/2 \text{ ЛР1}}$ 12/12		$\frac{1/2 \text{ ЛР11}}{6/12}$	18/12	1,25 τ

Для реализации функции C_1 не требуется использование логических элементов, так как входную информацию схемы можно подавать на выход непосредственно в парафазном коде, поэтому $WC_1=0$.

При желании можно построить еще ряд схем КП «8421 в ИЗБ3" и сравнить их по параметрам W и T с представленными схемами на рисунке 3.

Согласно таблице 4 схема под №3 будет иметь наименьшие аппаратурные затраты ($W = 18/12$) и наименьшую внутреннюю задержку ($T = 1,25 \tau$).

2. ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ

1. Получить вариант задания у преподавателя.
2. Выполнить четыре этапа синтеза КП в соответствии с индивидуальным заданием.
3. Произвести моделирование КП в системе Micro-Cap 10.

4. Проверить работоспособность КП на временных диаграммах. Контроль работоспособности схемы осуществляется по таблице функционирования КП.
5. Результаты работы показать преподавателю.
6. Оформить отчет.

3. ЗАДАНИЕ К ЛАБОРАТОРНОЙ РАБОТЕ

Задание к лабораторной работе формируется по таблицам 5 и 6 в соответствии с вариантом, полученным у преподавателя. В таблице 5 приведены разновидности двоично-десятичных кодов, а в таблице 6 указан вид КП, который необходимо синтезировать.

Таблица 5

Двоично-десятичные коды

Десятичное число	Двоичный код	1	2	3	4	5	6	7
		8421	7421	5421	2421	5211	ИЗБЗ	Грея
0	0000	0000	0000	0000	0000	0000	0011	0000
1	0001	0001	0001	0001	0001	0001	0100	0001
2	0010	0010	0010	0010	0010	0011	0101	0011
3	0011	0011	0011	0011	0011	0101	0110	0010
4	0100	0100	0100	0100	0100	0111	0111	0110
5	0101	0101	0101	1000	1011	1000	1000	0111
6	0110	0110	0110	1001	1100	1010	1001	0101
7	0111	0111	1000	1010	1101	1100	1010	0100
8	1000	1000	1001	1011	1110	1110	1011	1100
9	1001	1001	1010	1100	1111	1111	1100	1101

4. СОДЕРЖАНИЕ ОТЧЕТА

Отчет о лабораторной работе должен содержать:

- титульный лист;
- индивидуальное задание на синтез КП;
- таблицу функционирования КП;
- диаграммы Вейча для выходных функций КП;
- ДНФ выходных функций;

- не менее 3-х различных вариантов построения схемы КП;
- временные диаграммы работы КП;
- сравнительный анализ вариантов схем КП по параметрам W и T .

Таблица 6

Индивидуальное задание

№ варианта	Входной код КП	Выходной код КП	№ варианта	Входной код КП	Выходной код КП
1	8421	5211	16	8421	Грея
2	7421	2421	17	8421	2421
3	2421	5211	18	7421	ИЗБЗ
4	5421	ИЗБЗ	19	5421	7421
5	ИЗБЗ	Грея	20	Грея	ИЗБЗ
6	5211	2421	21	2421	Грея
7	Грея	7421	22	5211	5421
8	7421	5211	23	ИЗБЗ	8421
9	2421	ИЗБЗ	24	Грея	5421
10	ИЗБЗ	5421	25	ИЗБЗ	7421
11	5421	2421	26	5421	Грея
12	5211	8421	27	5421	5211
13	7421	Грея	28	2421	7421
14	5211	7421	29	ИЗБЗ	2421
15	Грея	2421	30	Грея	8421

5. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Кодовый преобразователь. Способы реализации КП.
2. Кодовый преобразователь. Этапа синтеза КП.
3. Метод Квайна.
4. Методики оценки качества цифровых схем.
5. Внутренняя задержка. Аппаратурные затраты.

СИНТЕЗ ЛОГИЧЕСКИХ СХЕМ НА МУЛЬТИПЛЕКСОРАХ

Цель работы: Изучение структуры мультиплексоров и методов синтеза на их основе логических схем.

1. МЕТОДИЧЕСКИЕ УКАЗАНИЯ

Мультиплексор - функциональный узел, осуществляющий подключение (коммутацию) одного из нескольких входов данных к выходу. Номер выбранного входа соответствует коду, поданному на адресные входы мультиплексора. Условное изображение мультиплексора показано на рисунке 1.

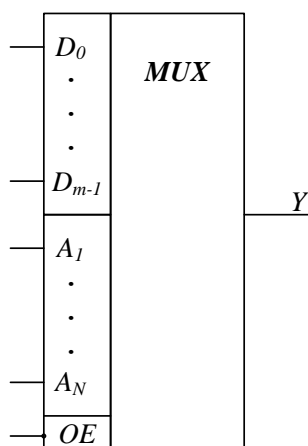


Рисунок 1 - Мультиплексор

Мультиплексор имеет N адресных входов A_1, A_2, \dots, A_N , m информационных входов D_0, D_1, \dots, D_{m-1} и вход OE для управления выводом информации (разрешение вывода):

- $OE = 0$ – мультиплексор работает;
- $OE = 1$ – выход узла находится в неактивном состоянии, мультиплексор заперт.

Работу мультиплексора можно описать следующим выражением:

$$Y = D_0 \overline{A_1} \overline{A_2} \dots \overline{A_N} \vee D_1 \overline{A_1} \overline{A_2} \dots A_N \vee \dots \vee D_{m-2} A_1 A_2 \dots \overline{A_N} \vee D_{m-1} A_1 A_2 \dots A_N \quad (1)$$

В настоящее время выпускаются промышленностью и получили наибольшее применение мультиплексоры с 4, 8, и 16 информационными каналами.

Одним из способов применения мультиплексоров является реализация на них логических функций. Из выражения (1) следует, что на мультиплексоре с N адресными входами легко может быть реализована переключательная функция N аргументов. Для этого на адресные входы мультиплексора подключается N переменных, а на входы данных подаются константы (0 и 1) в зависимости от конкретного значения переключательной функции на каждом из 2^N наборов аргументов.

Логические схемы на мультиплексорах можно реализовать с использованием разложения переключательной функции по составляющим ее переменным.

Рассмотрим функцию 4-х переменных $F(X_1, X_2, X_3, X_4)$. Обозначим X_4 через L и разложим функцию по переменным X_1, X_2, X_3 :

$$\begin{aligned} F(X_1 X_2 X_3 X_4) = & F(0,0,0,L) \cdot \overline{X_1} \cdot \overline{X_2} \cdot \overline{X_3} \vee F(0,0,1,L) \cdot \overline{X_1} \cdot \overline{X_2} \cdot X_3 \vee \\ & \vee F(0,1,0,L) \cdot \overline{X_1} \cdot X_2 \cdot \overline{X_3} \vee F(0,1,1,L) \cdot \overline{X_1} \cdot X_2 \cdot X_3 \vee \\ & \vee F(1,0,0,L) \cdot X_1 \cdot \overline{X_2} \cdot \overline{X_3} \vee F(1,0,1,L) \cdot X_1 \cdot \overline{X_2} \cdot X_3 \vee \\ & \vee F(1,1,0,L) \cdot X_1 \cdot X_2 \cdot \overline{X_3} \vee F(1,1,1,L) \cdot X_1 \cdot X_2 \cdot X_3 \end{aligned} \quad (2)$$

Каждая составляющая правой части выражения (2) в зависимости от значений функции на наборах, являющихся соседними по переменной X_4 , может принимать значения, приведенные в таблице 1.

Таблица 1

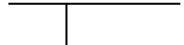
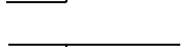

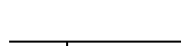



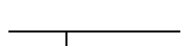

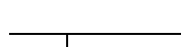

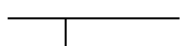

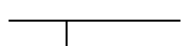


$F[\overline{X_1}, \overline{X_2}, \overline{X_3}, \overline{X_4}]$	0	0	1	1
$F[\overline{X_1}, \overline{X_2}, \overline{X_3}, X_4]$	0	1	0	1
$F[\overline{X_1}, \overline{X_2}, \overline{X_3}, L]$	0	L	L	1

В нижней строке таблицы приведены значения, которые должны быть поданы на информационный вход мультиплексора, определяемый комбинацией соответствующих управляющих сигналов.

Следовательно, на каждый информационный вход мультиплексора, определяемый комбинацией сигналов на адресных входах, необходимо подключить сигналы из множества $\{0, 1, L, \bar{L}\}$ в соответствии с таблицей истинности реализуемой переключательной функции. Это свидетельствует о возможности реализации на мультиплексоре с N адресными входами переключательной функции $N+1$ аргументов.

Рассмотрим реализацию переключательной функции на мультиплексоре с 3 адресными входами, заданной таблицей истинности (таблица 2).

Таблица 2

X_1	X_2	X_3	X_4	F	Информационные входы
0	0	0	0	0	 $D_0 = X_4$
0	0	0	1	1	 $D_1 = \overline{X_4}$
0	0	1	0	1	 $D_2 = 0$
0	0	1	1	0	 $D_3 = 1$
0	1	0	0	0	 $D_4 = \overline{X_4}$
0	1	0	1	0	 $D_5 = X_4$
0	1	1	0	1	 $D_6 = 0$
0	1	1	1	1	 $D_7 = \overline{X_4}$
1	0	0	0	1	 $D_0 = X_4$
1	0	0	1	0	 $D_1 = \overline{X_4}$
1	0	1	0	0	 $D_2 = 0$
1	0	1	1	1	 $D_3 = 1$
1	1	0	0	0	 $D_4 = \overline{X_4}$
1	1	0	1	0	 $D_5 = X_4$
1	1	1	0	1	 $D_6 = 0$
1	1	1	1	0	 $D_7 = \overline{X_4}$

Правый столбец таблицы 2 заполнен в соответствии с выражением (2) и таблицей 1, определяющими порядок подключения входов данных мультиплексора для реализации заданной переключательной функции. Схема включения мультиплексора для реализации рассмотренного примера представлена на рисунке 2.

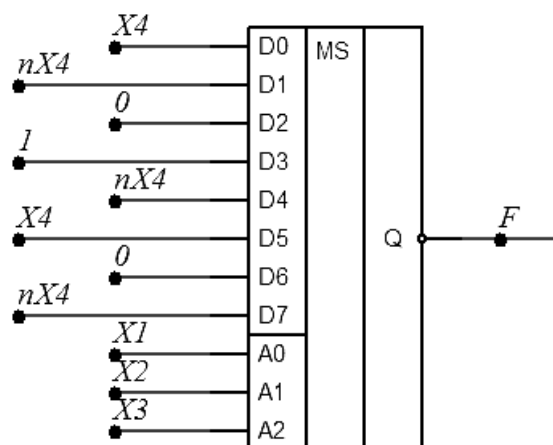


Рисунок 2 – Реализация переключательной функции (таблица 2)

2. ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ

1. Получить вариант задания у преподавателя.
2. Реализовать переключательную функцию с помощью мультиплексоров на 8 и 16 информационных входов в соответствии с индивидуальным заданием.
3. Произвести моделирование в Micro-Cap 10 и проверить работоспособность мультиплексоров. На адресные входы мультиплексора информация подается с генератора импульсов.
4. Результаты работы показать преподавателю.
5. Оформить отчет.

3. ЗАДАНИЕ К ЛАБОРАТОРНОЙ РАБОТЕ

Для составления таблицы истинности переключательной функции в соответствии с индивидуальным вариантом задания необходимо:

1. Определить число NUM по формуле $NUM = 7NV^2 + 200NV + 30$, где NV - вариант задания.
2. Перевести число NUM из десятичной системы счисления в двоичную.
3. Полученное число дополнить до 16 бит, заполняя старшие разряды числа нулями.

4. Составить таблицу истинности функции четырех переменных. Значение функции на шестнадцатом наборе аргументов определяется 1-м разрядом числа NUM ($F(16) = NUM(1)$). Нумерация разрядов числа NUM увеличивается в сторону старших разрядов.
5. Реализовать логическую функцию, представленную заданной таблицей истинности, с использованием следующих устройств цифровой техники:
 - мультиплексор с 8 информационными каналами K155КП5;
 - мультиплексор с 16 информационными каналами K155КП1;
 - логические элементы.

4. СОДЕРЖАНИЕ ОТЧЕТА

Отчет о лабораторной работе должен содержать:

- титульный лист;
- таблица истинности функции четырех переменных;
- 3 варианта реализации логической функции в Micro-Cap 10 (см. п.5 задания к лабораторной работе);
- сравнение полученных результатов моделирования по временным диаграммам.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Угрюмов Е.П. Цифровая схемотехника / Е.П Угрюмов. – СПб.: БВХ – Петербург, 2010. – 816 с.
2. Аванесян Г.Р. Униполярные интегральные микросхемы / Г.Р. Аванесян, А.А. Беспалов. – М.: Горячая линия – Телеком, Радио и связь, 2003. – 220 с.
3. Зиятдинов С.И. Схемотехника телекоммуникационных устройств / С.И. Зиятдинов, Т.А. Суетина, Н.В. Поваренкин. – М.: Академия, 2013. – 368 с.

СОДЕРЖАНИЕ

Лабораторная работа № 1. Применение моделирующей системы Micro-Cap 10 в задачах построения простейших цифровых схем	1
Лабораторная работа № 2. Кодирование устройств	18
Лабораторная работа № 3. Синтез логических схем на мультиплексорах	29
БИБЛИОГРАФИЧЕСКИЙ СПИСОК	34