

СХЕМОТЕХНИКА ЭВМ. ИМИТАЦИОННОЕ МОДЕЛИРОВАНИЕ ОПЕРАЦИОННЫХ ЭЛЕМЕНТОВ

Методические указания к выполнению лабораторных работ № 4-6
Часть 2

ДЕШИФРАТОРЫ И ШИФРАТОРЫ

Цель работы: Изучение принципов построения различных схем дешифраторов и шифраторов.

1. МЕТОДИЧЕСКИЕ УКАЗАНИЯ

Дешифратором называется операционный элемент, имеющий n входов и 2^n выходов и обеспечивающий появление сигнала на определенном выходе для каждой конкретной комбинации входных сигналов, одновременно поступивших на его входы. Поскольку в случае двоичного кода существует 2^n различных n -разрядных комбинаций, количество выходных шин в общем случае определяются выражением $N = 2^n$. Выходной код при этом принято называть **унитарным**, т.е. значение «1» будет только в одном разряде.

Если $N = 2^n$, то дешифратор называется **полным**.

Условное изображение дешифратора для случая $n = 3$ приведено на рисунке 1. Сигнал появляется на том выходе, номер которого соответствует двоичному числу, образованному входной n -разрядной комбинацией.

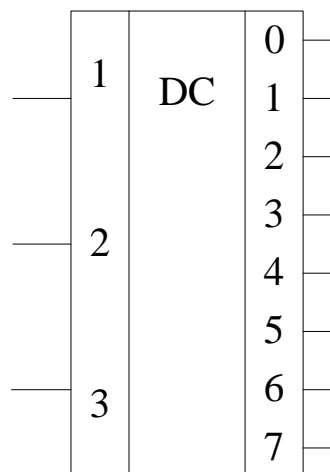


Рисунок 1 – Полный дешифратор на 3 входа

[illegible]

где X_i – значения входных сигналов дешифратора, а Y_i – значения выходных сигналов.

В качестве примера рассмотрим простейший дешифратор на 2 входа (X_0, X_1) и 4 выхода (Y_0, Y_1, Y_2, Y_3). Логика работы такого дешифратора отражена в таблице 1.

Таблица 1

Таблица истинности состояний 2-входового дешифратора

Входы		Выходы			
X_I	X_0	Y_0	Y_I	Y_2	Y_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

На основании приведенной таблицы функциональная схема дешифратора может быть описана следующими алгебрологическими выражениями:

$$\begin{aligned} Y_0 &= \overline{X_1} \overline{X_0}; \\ Y_1 &= \overline{X_1} X_0; \\ Y_2 &= X_1 \overline{X_0}; \\ Y_3 &= X_1 X_0. \end{aligned}$$

Соответствующая схема дешифратора представлена на рисунке 2.

В вычислительной технике дешифраторы используются для расшифровки кодов и выдачи управляющих сигналов в различные цепи. Они применяются в устройствах управления ЦВМ для дешифрации кода операции и выдачи сигналов в цепи машины, участвующие в выполнении данной операции.

Дешифраторы широко применяются в качестве адресных коммутаторов запоминающих устройств.

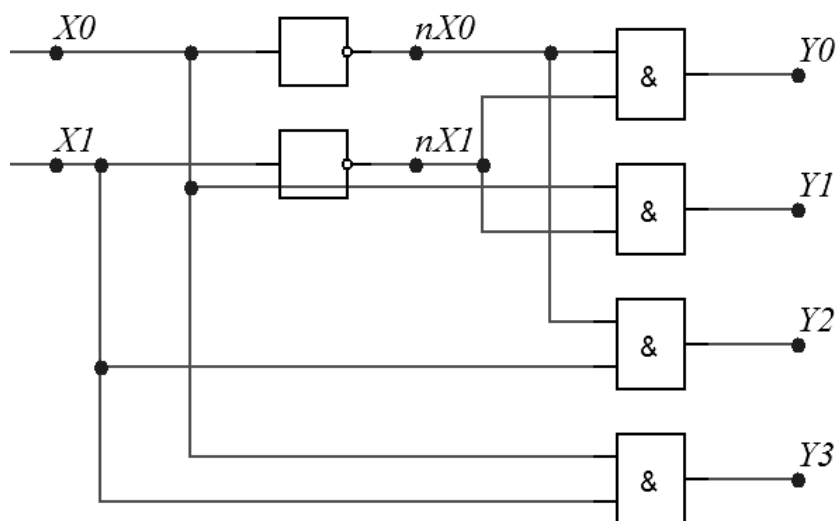


Рисунок 2 – Функциональная схема 2-входового дешифратора

Существует несколько методов построения дешифраторов, реализующих систему (1) различным образом в зависимости от формата дешифрируемого слова и параметров используемых логических элементов, в частности, числа входов каждого элемента.

1.1 Линейные дешифраторы

Линейные дешифраторы строятся непосредственно по выражениям (1), т.е. каждая переключательная функция реализуется отдельным n -входным конъюнктом. Построение дешифратора этим способом возможно, если $m \geq n$, где m - число входов логического элемента.

На рисунке 3 показан линейный дешифратор 3-разрядного входного слова. Дешифратор образован из восьми 3-входных конъюнкторов, каждый из которых срабатывает при определенной комбинации входных сигналов. Временные диаграммы работы 3-входового дешифратора представлены на рисунке 4.

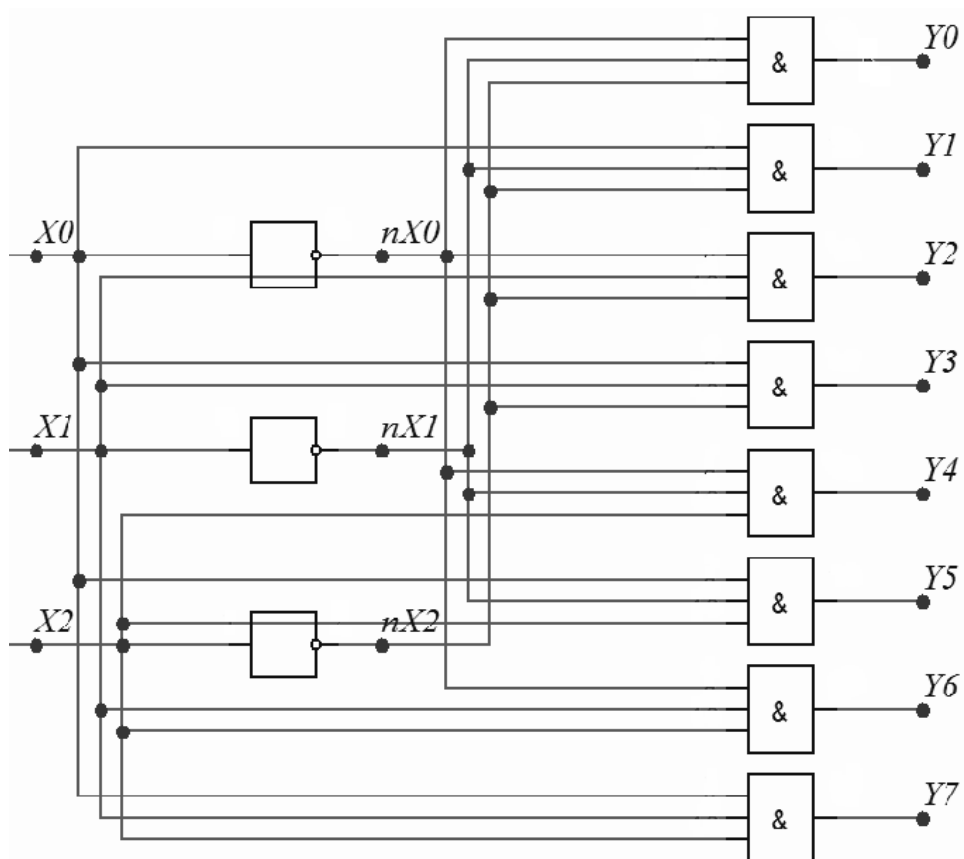


Рисунок 3 – Функциональная схема линейного дешифратора

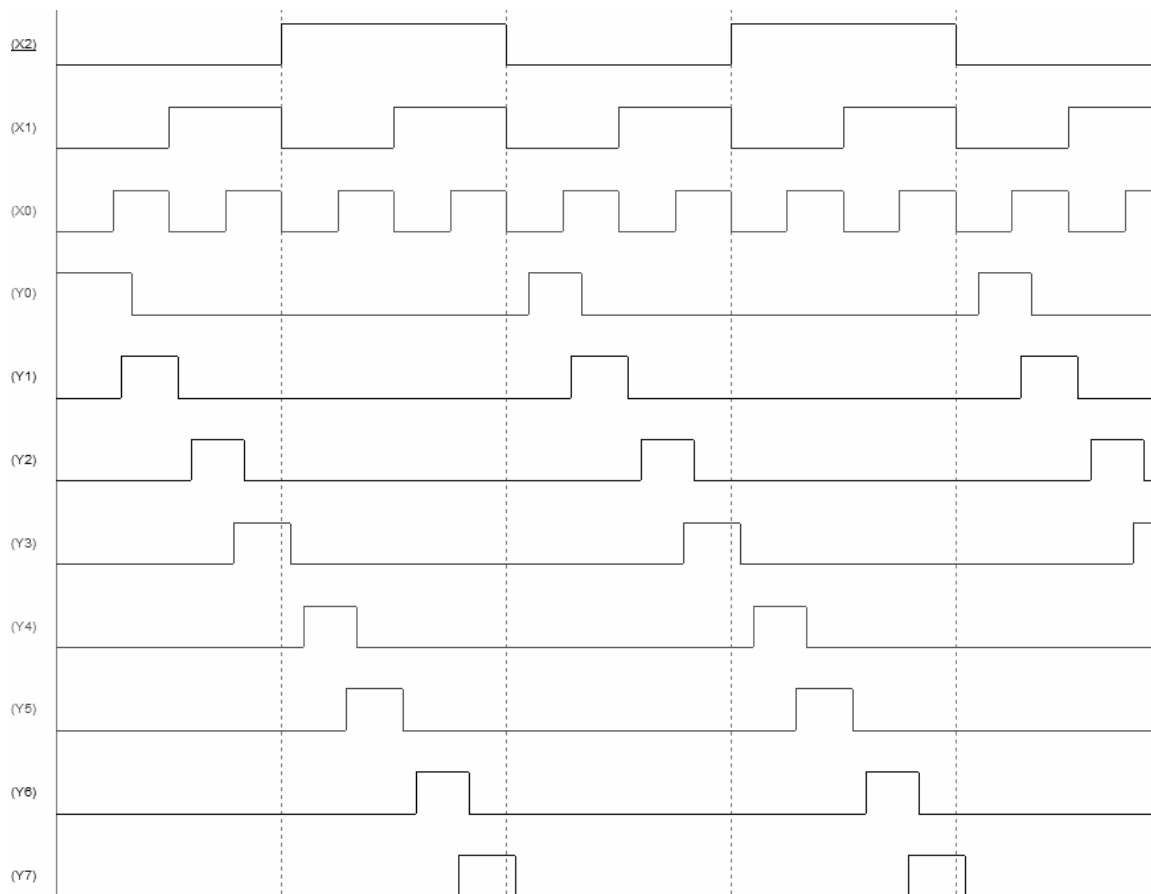


Рисунок 4 – Временные диаграммы работы 3-входового дешифратора

Из выражений (2) видно, что каждая функция Y_j формируется поэтапно. На первом этапе реализуются выражения $X_i \cdot X_{i-1}$, на втором – конъюнкции полученных выражений и X_{i-2} и т.д. Схема пирамидального дешифратора на 3 входа приведена на рисунке 5.

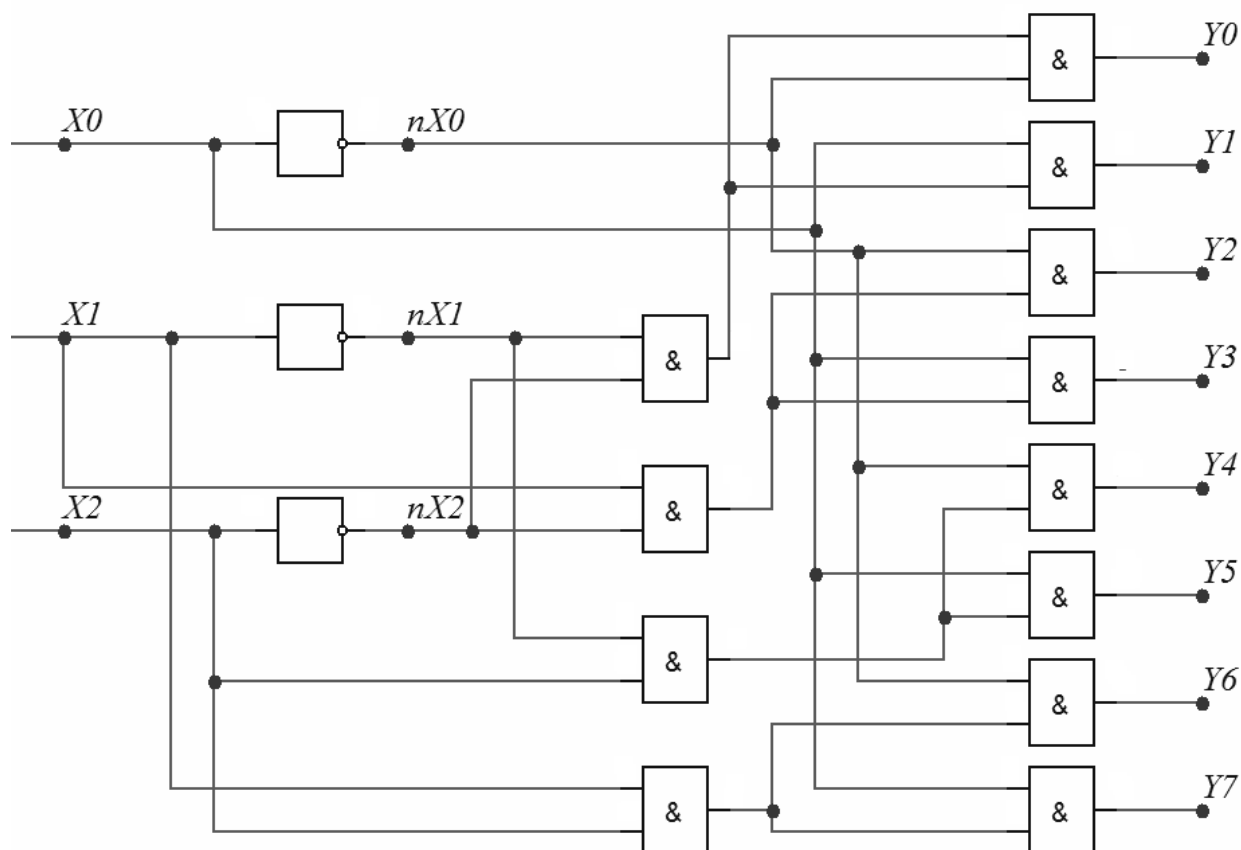


Рисунок 5 – Функциональная схема пирамидального дешифратора

Для определения быстродействия пирамидального дешифратора следует учесть, что каждая функция Y_j системы (2) реализуется после прохождения сигнала через $n-1$ логических элементов, образующих ступени пирамиды (рисунок 5). Следовательно, $T_{\Pi} = (n-1)t_{\text{лэ}}$. Сложность пирамидального дешифратора определяется как $W_{\Pi} = 8(2^{n-1} - 1)$.

Недостатком пирамидальных дешифраторов является неравномерная нагрузка на входы логических элементов дешифрируемого кода, а именно от 2 до 2^{n-1} логических элементов. Так, на рисунке 5 видно, что вход X_2 нагружен на 3 логических элемента, а вход X_0 - на 5.

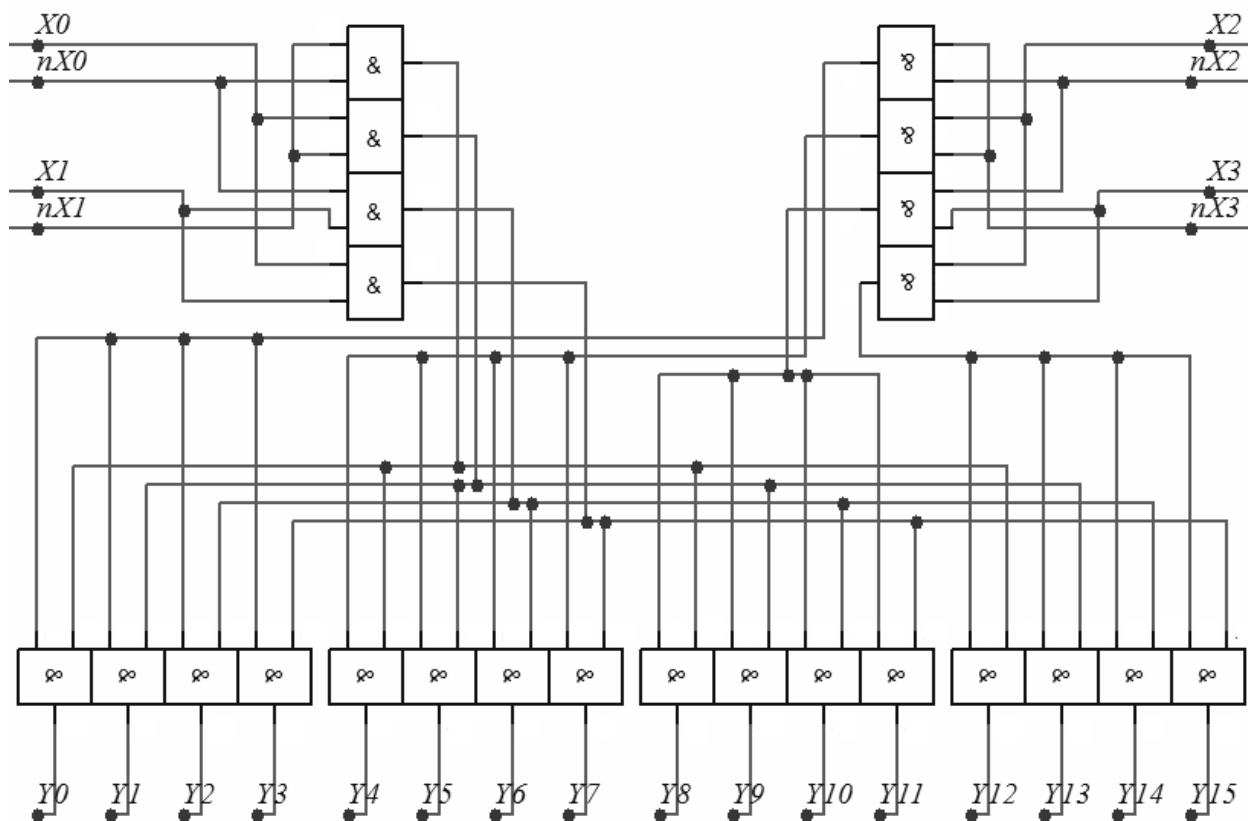


Рисунок 6 – Функциональная схема двухступенчатого дешифратора

Вторую ступень дешифратора образуют 2-входовые конъюнкторы, число которых равно числу выходов дешифратора. Следовательно,

$$W_{2C}'' = 2 \cdot 2^n = 2^{n+1}.$$

Общая сложность двухступенчатых дешифраторов определяется как сумма аппаратных затрат на первую и вторую ступени дешифратора:

$$W_{2C} = W_{2C}' + W_{2C}''.$$

Двухступенчатые дешифраторы при $n > 3$ требуют меньших аппаратных затрат, чем пирамидальные, которые в свою очередь проще линейных дешифраторов, что следует из сравнения формул сложности.

1.4 Неполные дешифраторы

В некоторых случаях отсутствует необходимость в дешифрировании всех 2^n комбинаций входного n -разрядного слова. При этом число выходных шин дешифратора $N < 2^n$. Такие дешифраторы называются **неполными**. Т.е. n -разрядные комбинации, при которых выходные сигналы не вырабатываются, называются **несущественными**. Они могут быть использованы для упрощения схемы неполного дешифратора.

Например, необходимо синтезировать дешифратор для выделения 10 наборов:

$$\begin{aligned} Y_0 &= \overline{X_3} \overline{X_2} \overline{X_1} \overline{X_0}; & Y_5 &= \overline{X_3} X_2 \overline{X_1} X_0; \\ Y_1 &= \overline{X_3} \overline{X_2} \overline{X_1} X_0; & Y_6 &= \overline{X_3} X_2 X_1 \overline{X_0}; \\ Y_2 &= \overline{X_3} \overline{X_2} X_1 \overline{X_0}; & Y_7 &= \overline{X_3} X_2 X_1 X_0; \\ Y_3 &= \overline{X_3} \overline{X_2} X_1 X_0; & Y_8 &= X_3 \overline{X_2} \overline{X_1} \overline{X_0}; \\ Y_4 &= \overline{X_3} X_2 \overline{X_1} \overline{X_0}; & Y_9 &= X_3 \overline{X_2} \overline{X_1} X_0. \end{aligned}$$

На остальных несущественных наборах дешифратор не определен. Для упрощения схемы используем диаграмму Вейча (рисунок 7). Несущественные наборы обозначим прочерками.

		X_1			
				X_0	
X_3	X_2	Y_0	Y_2	Y_3	Y_1
		Y_8	-	-	Y_9
		-	-	-	-
		Y_4	Y_6	Y_7	Y_5

Рисунок 7 – Минимизация переключательных функций неполного дешифратора

Для непосредственной реализации функций Y_0, \dots, Y_9 необходимо десять 4-входовых конъюнкторов. В результате минимизации структура неполного дешифратора упрощается и состоит:

- из двух 4-входовых конъюнкторов (реализация Y_0, Y_1),
- шести 3-входовых конъюнкторов (реализация $Y_2, Y_3, Y_4, Y_5, Y_6, Y_7$),
- двух 2-входовых конъюнкторов (реализация Y_8, Y_9).

Таким образом, упрощение схемы составило:

$$\Delta W = 10 \cdot 4 - (2 \cdot 4 + 6 \cdot 3 + 2 \cdot 2) = 10 \text{ вх.}$$

1.5 Шифраторы

Шифраторами называются операционные узлы, преобразующие поступающий на вход унитарный код («1» в каком-либо одном разряде) в соответствующую комбинацию выходных z -разрядных сигналов. Условное обозначение шифратора приведено на рисунке 8.

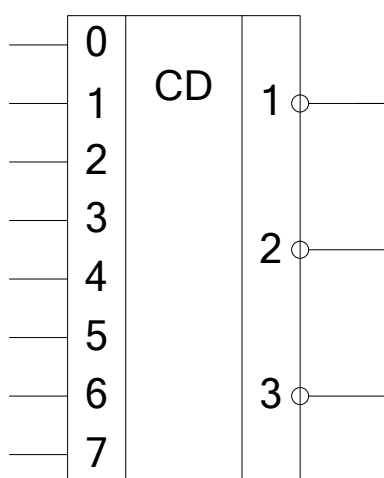


Рисунок 8 – Шифратор

Шифраторы используются для кодирования информации и преобразования кодов. Для синтеза шифратора можно использовать таблицу 2.

Таблица 2

Таблица истинности состояний шифратора

Выходы	Входы			
	0	1	.	r
0	1	0	.	0
1	0	1	.	0
.
.
p	0	0	.	1

Например, составим таблицу функционирования шифратора для преобразования десятичного кода в двоичный код (таблица 3).

Таблица 3

Функционирование шифратора

Входы X_i	Выходы			
	Z_3	Z_2	Z_1	Z_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

На основании таблицы 3 получим выражения для выходных сигналов шифратора, соответствующих в данном примере разрядам двоичных чисел, полученных в результате преобразования из десятичной системы:

$$Z_3 = X_8 \vee X_9;$$

$$Z_2 = X_4 \vee X_5 \vee X_6 \vee X_7;$$

$$Z_1 = X_2 \vee X_3 \vee X_6 \vee X_7;$$

$$Z_0 = X_1 \vee X_3 \vee X_5 \vee X_7 \vee X_9.$$

Полученные алгебрологические выражения могут быть реализованы на логических элементах типа «ИЛИ» (рисунок 9). Временные диаграммы работы шифратора для преобразования десятичного кода в двоичный код представлены на рисунке 10.

На основе совместного использования дешифраторов и шифраторов можно построить один из вариантов схемы кодового преобразователя. Обобщенная схема такого преобразователя приведена на рисунке 11.

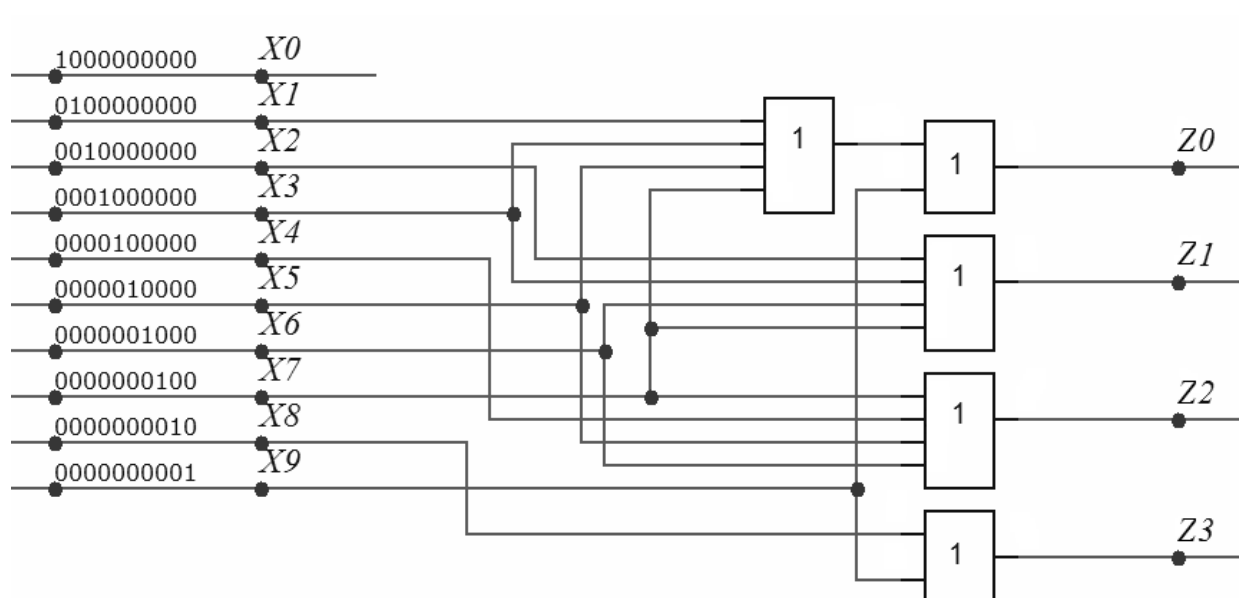


Рисунок 9 – Функциональная схема шифратора

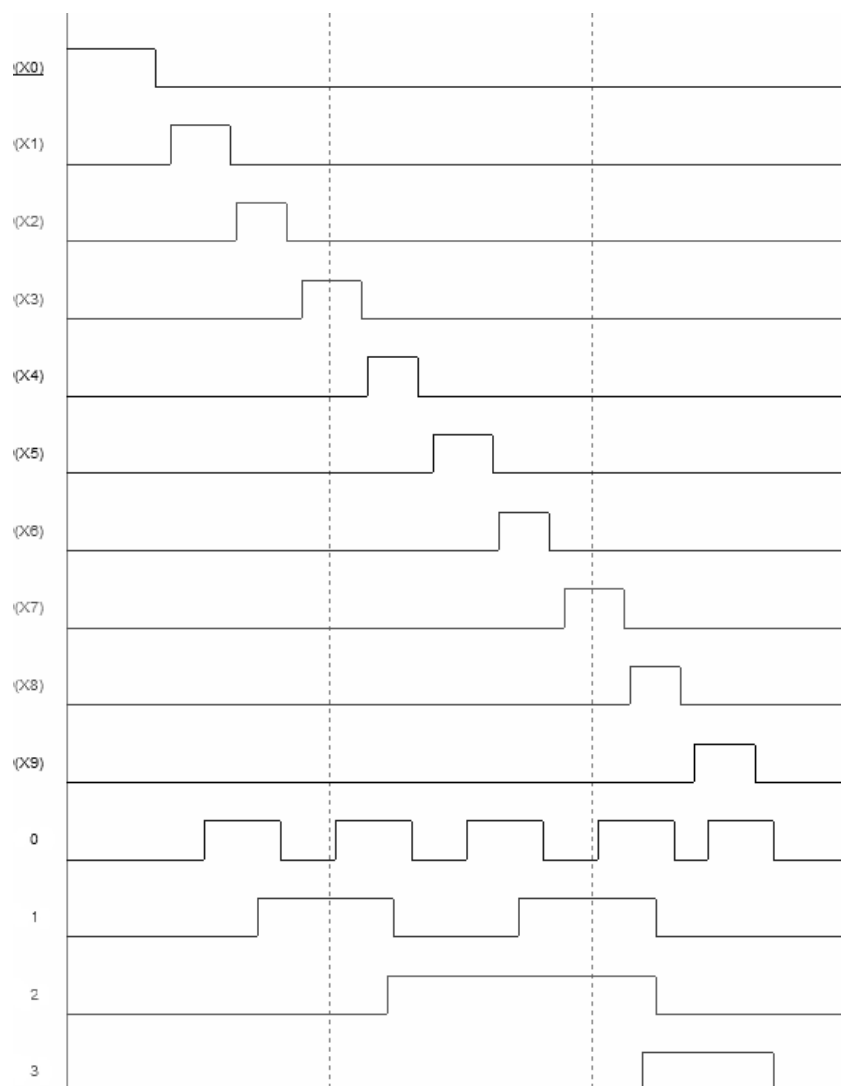


Рисунок 10 – Временные диаграммы работы шифратора

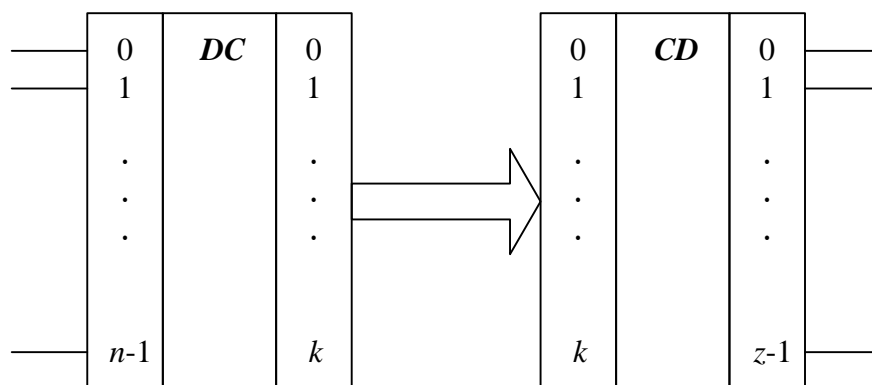


Рисунок 11 – КП

Зная законы преобразования кодов (см. лабораторную работу № 2), можно поставить в соответствие и соединить конкретные выходы дешифратора с входами шифратора, т.е. обеспечить заданное преобразование.

2. ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ

1. Составить схему неполного дешифратора согласно варианту задания, полученному при выполнении лабораторной работы №2.
2. Произвести моделирование схемы дешифратора в Micro-Cap 10.
3. Проверить правильность работы дешифратора по временным диаграммам.
4. Выполнить синтез шифратора. Составить схему кодового преобразователя.
5. Произвести моделирование КП в Micro-Cap 10.
6. Проверить правильность работы КП по временным диаграммам.
7. Результаты работы показать преподавателю.
8. Оформить отчет.

3. СОДЕРЖАНИЕ ОТЧЕТА

Отчет о лабораторной работе должен содержать:

- титульный лист;
- таблица функционирования КП;
- таблица истинности состояний неполного дешифратора;

- таблица истинности состояний шифратора;
- этапы синтеза неполного дешифратора (первая ступень КП);
- этапы синтеза шифратора (вторая ступень ПК);
- схема КП, смоделированная в Micro-Cap 10;
- временные диаграммы работы неполного дешифратора и КП.

4. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Дешифраторы: определение, методы построения дешифраторов.
2. Линейные дешифраторы: построение, определение быстродействия и сложности дешифратора.
3. Пирамидальные дешифраторы: построение, определение быстродействия и сложности дешифратора.
4. Ступенчатые дешифраторы: построение, определение быстродействия и сложности дешифратора.
5. Синтез кодового преобразователя (совместное использование дешифраторов и шифраторов).

СТАТИЧЕСКИЕ РЕГИСТРЫ

Цель работы: Изучение функциональных возможностей статических регистров с различными цепями ввода и вывода информации, схем формирования осведомительных сигналов.

1. МЕТОДИЧЕСКИЕ УКАЗАНИЯ

Статический регистр - операционный элемент ЭВМ, предназначенный для хранения двоичной информации в виде машинных слов и выполнения логических операций над этими словами, а также для выработки осведомительных сигналов относительно характера содержащейся в нем информации.

Регистр представляет собой совокупность элементов памяти (как правило, триггеров), число которых определяется разрядностью машинных слов, и комбинационных схем, обеспечивающих выполнение указанных функций.

Особенностью статического регистра является регулярность его структуры: каждый элемент памяти (ЭП), выполняющий функцию хранения одного разряда слова, дополняется комбинационной схемой, обеспечивающей функции вывода информации и выполнения логических операций над словами. Синтез статического регистра, реализующего определенные функции над словами, сводится к синтезу необходимой комбинационной схемы для одного разряда регистра и ее повторению для остальных его разрядов.

Предметом изучения в данной лабораторной работе являются три группы функций статического регистра:

- установочные функции;
- логические операции;

- формирование осведомительных сигналов.

Реализация функций первых двух групп сопровождается переключением триггеров регистра. Будем считать, что на выполнение каждой функции отводится такт машинного времени, а образование значений функции для всех разрядов регистра синхронизировано во времени путем подачи специального синхросигнала на входы S всех триггеров регистра.

Реализация каждой функции происходит под действием определенного **управляющего сигнала**. Таким образом, с регистром, выполняющим несколько функций, связывается множество управляющих сигналов, на которые накладывается одно ограничение: **в каждый момент времени активный (в данном случае - высокий) уровень может иметь лишь один управляющий сигнал множества**. Выполнение регистром каждой функции может быть записано в виде отдельной микрооперации с указанием соответствующего управляющего сигнала.

Формирование осведомительного сигнала реализуется комбинационной схемой, на входы которой подаются сигналы с выходов триггеров регистра. Поэтому значение осведомительного сигнала в момент времени t определяется состоянием триггеров регистра в тот же момент времени и, следовательно, отдельного машинного такта для формирования осведомительного сигнала не требуется.

Рассмотрим функции, выполняемые статическим регистром.

1.1 Установочные функции

Функция сброса. Выполнение этой функции сводится к обнулению (установке в «0») всех разрядов регистра. Соответствующая микрооперация может быть описана следующим образом:

$$Y_{\text{СБР}}: RG[0:n-1] := 0,$$

$$Q_0^{t+1}, \dots, Q_{n-1}^{t+1} = 0.$$

Функция ввода в регистр прямого кода числа B . В результате выполнения этой функции триггеры регистра устанавливаются в состояния, соответствующие значениям разрядов вводимого слова:

$$Y_{\text{ВВ.ПР}}: RG [0: n - 1] := B,$$

где $B = b_{n-1} b_{n-2} \dots b_1 b_0$.

Функция ввода в регистр обратного кода числа B . В результате выполнения этой функции триггеры регистра устанавливаются в состояния, противоположные значениям разрядов вводимого слова:

$$Y_{\text{ВВ.ОБР}}: RG [0: n - 1] := \bar{B}.$$

1.2 Логические операции

Отметим особенности реализации логических операций в статическом регистре:

1. Выполнение любой логической операции над словами носит поразрядный характер, т.е. результатом операции является слово, значение каждого разряда которого есть результат этой операции над значениями одноименных разрядов слов, участвующих в операции.

Пусть $A * B = C$, где $A = a_{n-1}..a_0$;

$$B = b_{n-1}..b_0;$$

$$C = c_{n-1}..c_0;$$

$*$ - знак логической операции.

Тогда разряды слова C определяются следующим образом:

$$c_0 = a_0 * b_0 \dots c_{n-1} = a_{n-1} * b_{n-1}.$$

Например, $C = A \& B$:

$A = 01101111$	Результат операции $\&$
$B = 00110110$	01101111
	<u>00110110</u>
	$C = 00100110$

2. Будем считать, что к моменту выполнения логической операции слово, являющееся одним из операндов, находится в регистре, а слово – второй операнд вводится в регистр извне; результат логической операции образуется в регистре. Таким образом, микрооперация выполнения логической операции может быть записана следующим образом:

$$Y_*: RG [0:n-1] := RG [0:n-1] * B,$$

$$Q_0^{t+1} = Q_0^t * b_0^t, \dots, Q_{n-1}^{t+1} = Q_{n-1}^t * b_{n-1}^t,$$

где Y_* - управляющий сигнал, инициирующий выполнение логической операции «*».

1.3 Синтез схем статического регистра

Рассмотрим синтез схем статического регистра для выполнения функций первых двух групп. Как было отмечено выше, для решения данной задачи достаточно построить схему для одного разряда регистра. В качестве исходной информации будем использовать множество функций, которые должен реализовать регистр, тип триггера и таблицу функционирования триггера указанного типа.

Пусть множество функций включает в себя:

- функцию сброса;
- функцию ввода в регистр обратного кода числа;
- логическую операцию – конъюнкцию.

Возьмем триггер J-K-типа (таблица 1).

Входными сигналами схемы являются:

- $Y_{СБР}$ – управляющий сигнал, инициирующий функцию сброса;
- $Y_{ВВ}$ – управляющий сигнал, инициирующий функцию ввода в регистр кода числа;
- $Y_{\&}$ - управляющий сигнал, инициирующий конъюнкцию;
- b_i^t – сигнал i -го разряда вводимого слова;
- Q_i^t - состояние триггера i -го разряда к моменту реализации функции.

Выходными сигналами схемы являются:

- Q_i^{t+1} – состояние триггера i -го разряда после прохождения синхроимпульса, т.е. результат выполнения функции.

Таблица 1

Таблица функционирования J-K-триггера

J^t	K^t	Q^t	Q^{t+1}
0	-	0	0
1	-	0	1
-	1	1	0
-	0	1	1

Схема должна вырабатывать функции возбуждения J_i^t и K_i^t , однозначно определяющие состояние триггера i -го разряда в момент времени $t+1$, которое является результатом выполнения функций для i -го разряда.

Синтез схемы статического регистра содержит следующие этапы:

- определение таблицы истинности для функций J_i и K_i ;
- построение на ее основе диаграмм Вейча для функций J_i и K_i и их минимизация;
- составление минимальных ДНФ функций возбуждения;
- построение по полученным выражениям комбинационных схем.

Таблица истинности для функций J_i и K_i содержит в общем случае 32 строки, поскольку они являются функциями от пяти аргументов: $Y_{СБР}$, $Y_{ВВ}$, $Y_{\&}$, b_i^t , Q_i^t . С учетом ограничения на управляющие сигналы (только один управляющий сигнал имеет высокий уровень в каждый момент времени, т.е. выполняется только одна операция) сокращается число всевозможных наборов, а, следовательно, и число строк в таблице истинности до 16 (таблица 2).

Функционирование разряда статического регистра

$Y_{СБР}$	$Y_{ВВ}$	$Y_{\&}$	Q_i^t	b_i^t	Q_i^{t+1}	J_i	K_i	Функция
0	0	0	0	0	0	0	-	Хранение
0	0	0	0	1	0	0	-	
0	0	0	1	0	1	-	0	
0	0	0	1	1	1	-	0	
1	0	0	0	0	0	0	-	Сброс $Q_i^{t+1} = 0$ при любом значении b_i^t
1	0	0	0	1	0	0	-	
1	0	0	1	0	0	-	1	
1	0	0	1	1	0	-	1	
0	1	0	0	0	0	0	-	Ввод кода числа $Q_i^{t+1} = b_i^t$
0	1	0	0	1	1	1	-	
0	1	0	1	0	0	-	1	
0	1	0	1	1	1	-	0	
0	0	1	0	0	0	0	-	Конъюнкция $Q_i^t \& b_i^t$
0	0	1	0	1	0	0	-	
0	0	1	1	0	0	-	1	
0	0	1	1	1	1	-	0	

Диаграммы Вейча для функций J_i и K_i представлены на рисунке 1.

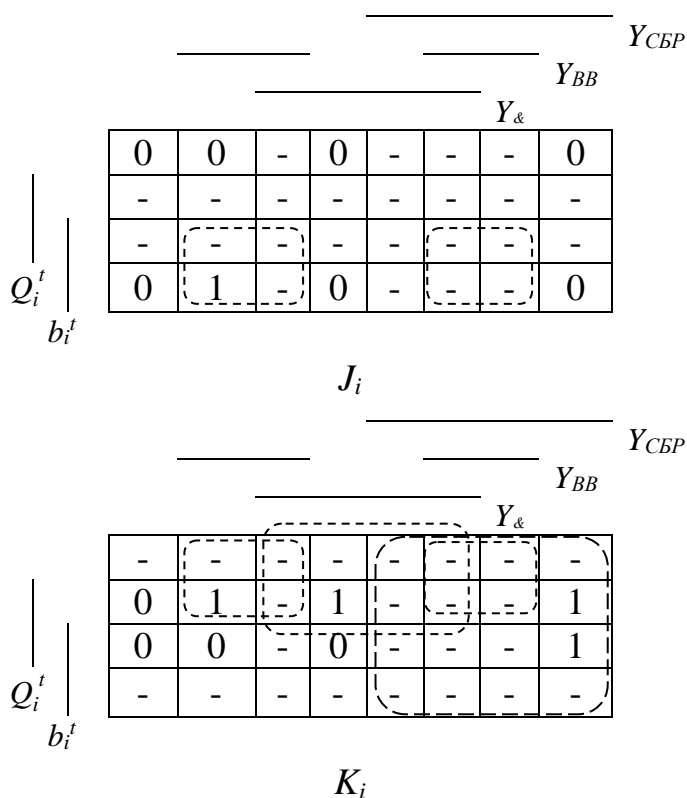


Рисунок 1 – Минимизация функций возбуждения J_i и K_i

Минимальные ДНФ функций возбуждения J_i и K_i :

$$J_i = Y_{BB} b_i^t,$$

$$K_i = Y_{CBP} \vee Y_{BB} \overline{b_i^t} \vee Y_{\&} \overline{b_i^t}.$$

По полученным выражениям строятся схемы, вырабатывающие сигналы для функций возбуждения. Синтезированная схема одного разряда статического регистра показана на рисунке 2.

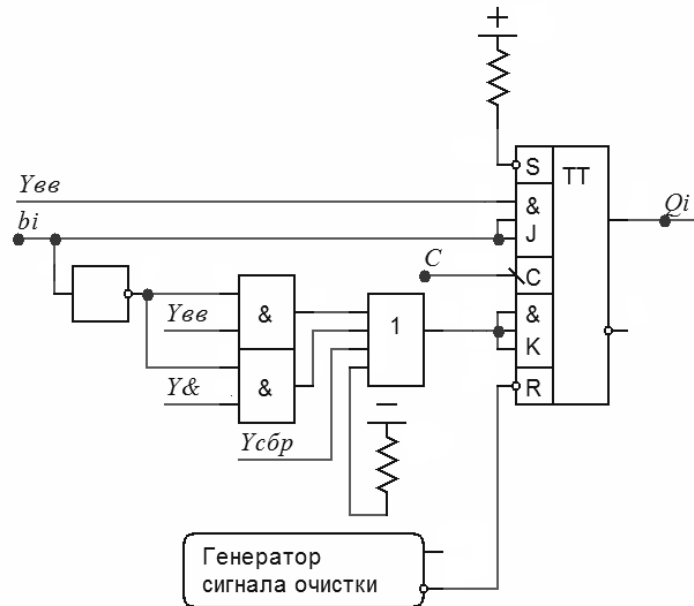


Рисунок 2 – Схема разряда статического регистра.

1.4 Формирование осведомительных сигналов

Часто на регистрах вычисляются значения логических условий вида:

$$\langle RG \rangle \langle \text{операция отношения} \rangle \langle \text{константа} \rangle,$$

где $\langle RG \rangle$ - содержимое регистра,

$\langle \text{операция отношения} \rangle$: $>$, \geq , $=$, \neq , $<$, \leq .

Значение логического условия отображается осведомительным сигналом:

- 1 – условие выполняется;
- 0 – условие не выполняется.

Формирование осведомительного сигнала осуществляется комбинационной схемой, на входы которой подаются сигналы с выходов триггеров регистра.

Например, необходимо выработать осведомительный сигнал f_A для 4-разрядного регистра RGA , если $\langle RGA \rangle < 9$.

Составим таблицу условия выработки осведомительного сигнала (таблица 3).

Таблица 3

Условие выработки осведомительного сигнала

Десятичное значение	Q_3	Q_2	Q_1	Q_0	f_A
0	0	0	0	0	1
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	0

На основании составленной таблицы построим диаграмму Вейча для функции f_A и минимизируем ее (рисунок 3).

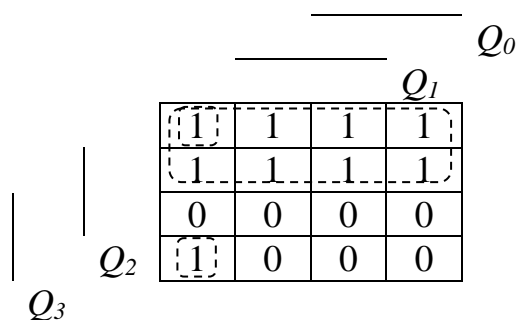


Рисунок 3 – Минимизация функции f_A

В результате минимизации получим выражение для функции f_A :

$$f_A = \overline{Q_3} \vee \overline{Q_0} \overline{Q_1} \overline{Q_2}.$$

Комбинационная схема, формирующая данный осведомительный сигнал, приведена на рисунке 4.

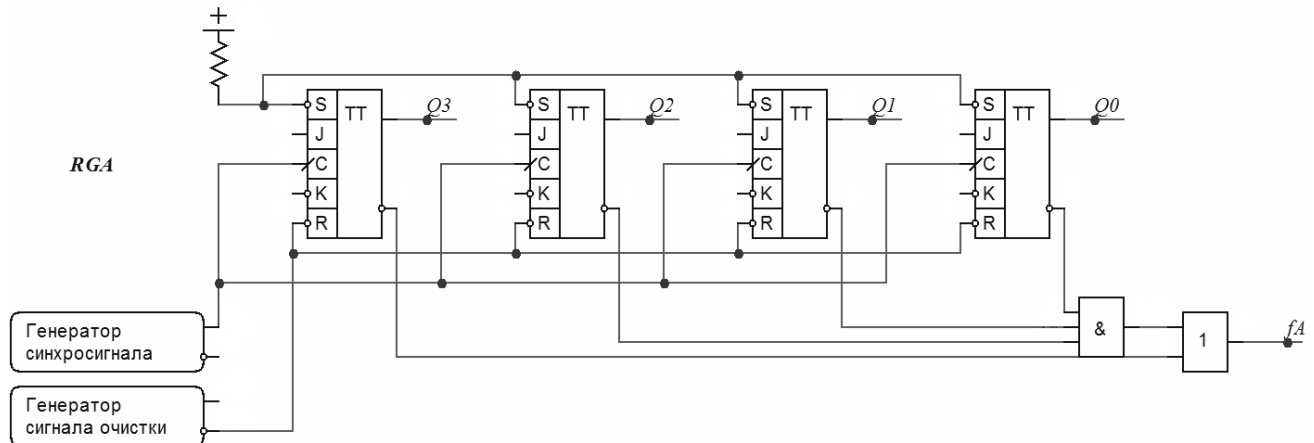


Рисунок 4 – Схема выработки осведомительного сигнала

Микропрограмма работы статического регистра (рисунок 5) состоит из следующих микроопераций:

1. Y_0 : $RG [0 : n-1] := 0$ – обнуление всех разрядов регистра;
2. Y_1 : $RG [0 : n-1] := A$ – запись машинного слова A в регистр;
3. Y_2 : $RG := RG * B$ - выполнение логической операции «*» над содержимым регистра и машинным словом B , введенным в регистр;
4. Y_3 : $Z := RG [0 : n-1]$ – вывод информации из регистра;
5. X : формирование осведомительного сигнала.

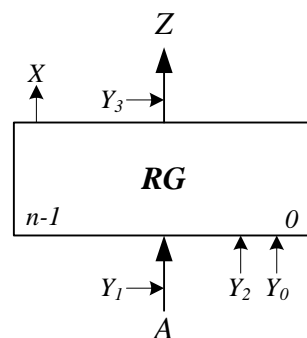


Рисунок 5 – Реализации микропрограммы

Если регистр выполняет запись информации без предварительного обнуления, то первая микрооперация отсутствует.

В лабораторной работе исследуются:

- цепи ввода и вывода информации для одного разряда регистра;
- реализация логических операций над машинными словами с помощью элементной базы и вспомогательных генераторов импульсов Micro-Cap 10;
- схемы формирования осведомительных сигналов.

Работа регистра характеризуется набором информационных и управляющих сигналов.

Информационные сигналы поступают на специальные информационные входы регистра. Если ввод машинного слова осуществляется параллельным кодом, то число таких входов равно числу разрядов регистра, если ввод осуществляется последовательным кодом, то требуется, как правило, один вход. При выводе информации параллельным кодом требуется по одному выходу на каждый разряд регистра при монофазном коде, при парафазном коде – по два. В режиме вывода последовательного монофазного кода необходим один выход, парафазного – два.

Управляющие сигналы определяют режимы работы регистра. Каждый управляющий сигнал поступает на определенный управляющий вход регистра.

Помимо вышеуказанных сигналов используются **синхроимпульсы** для организации работы регистра в тактирующем режиме. Это значит, что при наличии определенных информационных и управляющих сигналов, задающих реализацию той или иной функции, работа регистра осуществляется под действием тактирующего сигнала, поступающего на вход *C* каждого триггера регистра.

Исследуемая схема статического регистра содержит триггеры и комбинационные логические схемы, одинаковые для каждого разряда.

Сигналы с выходов логических схем поступают на информационные входы триггеров: входы J - K или D . Если исследуется регистр на R - S - или T -триггерах, то несложным путем он может быть реализован на J - K - и D -триггерах.

Источниками информационных и управляющих сигналов схемы являются генераторы импульсов в Micro-Cap 10. Для визуального наблюдения за работой схемы статического регистра необходимо использовать временные диаграммы.

2. ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ

1. Получить вариант задания у преподавателя.
2. Выполнить синтез схемы статического регистра в соответствии с индивидуальным заданием.
3. Произвести моделирование схемы разряда статического регистра в системе Micro-Cap 10 (Триггер рассматривать как модуль, не строить его из логических элементов).
4. Построить комбинационную схему формирования осведомительного сигнала.
5. Проверить работоспособность схемы статического регистра на временных диаграммах.
6. Результаты работы показать преподавателю.
7. Оформить отчет.

3. ЗАДАНИЕ К ЛАБОРАТОРНОЙ РАБОТЕ

Задание к лабораторной работе формируется по таблице 4 в соответствии с вариантом, полученным у преподавателя.

Характеристики синтезируемого регистра:

I. Тип триггера:

1. J-K,
2. D,

3. R-S,
4. T.

II. Код ввода:

1. монофазный,
2. парафазный.

III. Код вывода:

1. парафазный,
2. монофазный прямой,
3. монофазный обратный.

IV. Обнуление:

1. есть,
2. нет.

V. Условие формирования осведомительного сигнала:

1. $\langle RG \rangle$ - четное, не делится на 3;
2. $3 < \langle RG \rangle < 10$;
3. $\langle RG \rangle$ - нечетное, делится на 3;
4. $2 < \langle RG \rangle \leq 11$;
5. $\langle RG \rangle$ делится на 3 или 4;
6. $\langle RG \rangle$ делится на 2 и 3;
7. $10 < \langle RG \rangle \neq 15$.

VI. Логическая операция:

1. Конъюнкция: $Q \& b$.
2. Дизъюнкция: $Q \vee b$.
3. Сложение по mod2: $Q \oplus b$.
4. Функция Шеффера: $\overline{Q \cdot b}$.
5. Функция Пирса: $\overline{Q \vee b}$.

Индивидуальные задания

№ В	<i>I</i>	<i>II</i>	<i>III</i>	<i>IV</i>	<i>V</i>	<i>VI</i>	№ В	<i>I</i>	<i>II</i>	<i>III</i>	<i>IV</i>	<i>V</i>	<i>VI</i>
1	1	2	1	1	1	5	16	4	1	3	2	2	2
2	2	1	2	2	2	5	17	1	2	2	1	3	4
3	3	2	3	1	3	1	18	2	1	1	2	4	4
4	4	1	3	2	4	1	19	3	2	1	2	5	3
5	1	1	2	1	5	4	20	4	1	2	1	6	3
6	2	1	1	2	6	4	21	1	1	3	2	7	1
7	3	1	1	2	7	2	22	2	1	3	1	7	2
8	4	1	2	1	7	2	23	3	2	2	2	6	3
9	1	1	3	2	6	3	24	4	1	1	1	5	4
10	2	1	3	1	5	3	25	1	2	1	1	4	5
11	3	2	2	2	4	1	26	2	1	2	2	3	5
12	4	1	1	1	3	1	27	3	1	3	1	2	4
13	1	1	1	1	2	5	28	4	1	3	2	1	3
14	2	1	2	2	1	5	29	1	1	2	1	1	2
15	3	2	3	1	1	2	30	2	1	1	2	2	1

4. СОДЕРЖАНИЕ ОТЧЕТА

Отчет о лабораторной работе должен содержать:

- титульный лист;
- индивидуальное задание;
- этапы синтеза статического регистра;
- схема статического регистра и КС формирования осведомительного сигнала, построенные в Micro-Cap 10;
- временные диаграммы.

5. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Статический регистр: структура.
2. Функции статического регистра.
3. Микропрограмма работы статического регистра.
4. Информационные и управляющие сигналы регистра. Синхросигналы.

СДВИГАЮЩИЕ РЕГИСТРЫ

Цель работы: Изучение функциональных возможностей сдвигающих регистров.

1. МЕТОДИЧЕСКИЕ УКАЗАНИЯ

Сдвигающий регистр - операционный элемент ЭВМ, который служит для хранения машинного слова и выполнения над ним одной или нескольких операций сдвига.

Необходимость в сдвиге информации возникает:

- при преобразовании параллельного кода машинного слова в последовательный код и наоборот;
- при выполнении нормализации чисел;
- при выполнении арифметических и логических операций;
- при генерации пачек управляющих сигналов с заданным интервалом между ними.

Структуру сдвигающего регистра определяют:

- способ задания процедур ввода и вывода информации;
- принцип организации межразрядных связей;
- тип триггера.

В **последовательных** регистрах информация вводится и выводится последовательно разряд за разрядом. В **параллельно-последовательных** регистрах ввод информации осуществляется параллельно, а вывод – последовательно. В **последовательно-параллельных** регистрах ввод – последовательный, а вывод – параллельный.

Регистр, имеющий возможность осуществлять сдвиги влево и вправо, называется **реверсивным**. При организации сдвигов с целью сохранения информации крайние разряды регистров соединяются между собой, и такие регистры называются **кольцевыми**.

1.1 Общая методика синтеза сдвигающего регистра

Работу i -го разряда сдвигающего регистра можно описать следующим образом. При подаче сигнала сдвига на один разряд происходит переход каждого последующего триггера в состояние, соответствующее состоянию предыдущего. Составим таблицу функционирования i -го триггера, переходящего из состояния Q_i^t в момент времени t в состояние Q_i^{t+1} в момент времени $t+1$ под воздействием сдвигающего импульса. При этом Q_i^{t+1} будет зависеть от состояния предыдущего триггера Q_{i-1}^t . На основе таблицы истинности используемого триггера строятся диаграммы Вейча для функций возбуждения каждого триггера, обеспечивающие требуемые переходы i -го разряда (таблица 1). Функции минимизируются, а затем составляется схема сдвигающего регистра.

Таблица 1

Функционирование сдвигающего регистра

$Y_{СДВ}$	Q_{i-1}^t	Q_i^t	Q_i^{t+1}
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

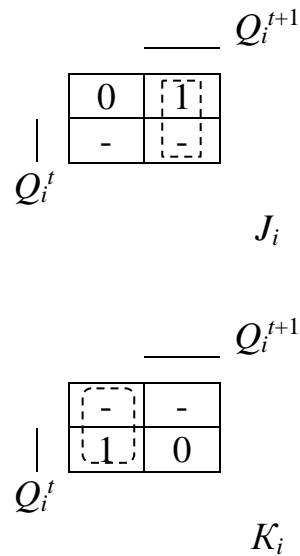
1.2 Синтез сдвигающего регистра на J-K-триггерах

Выполним синтез сдвигающего регистра на 1 разряд вправо при использовании J-K-триггеров. Переходы триггера приведены в таблице 2.

Диаграммы Вейча для функций возбуждения J_i и K_i представлены на рисунке 1.

Таблица истинности J-K-триггера

$Y_{СДВ}$	J_i	K_i	Q_i^t	Q_i^{t+1}
1	0	-	0	0
1	1	-	0	1
1	-	1	1	0
1	-	0	1	1

Рисунок 1 – Минимизация функций J_i и K_i .

В результате минимизации получим выражения для функций J_i и K_i :

$$\begin{aligned} J_i &= Q_i^{t+1}, \\ K_i &= \overline{Q_i^{t+1}}. \end{aligned} \quad (1)$$

Схема сдвигающего регистра на J-K-триггерах показана на рисунке 2.

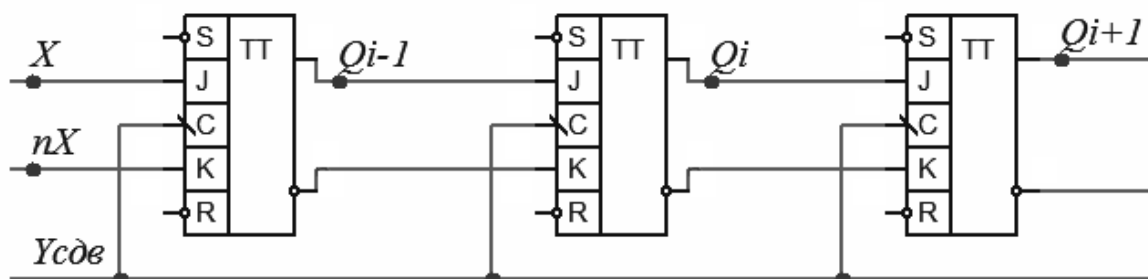


Рисунок 2 – Сдвигающий регистр на J-K-триггерах.

Временные диаграммы работы сдвигающего регистра (рисунок 2) представлены на рисунке 3.

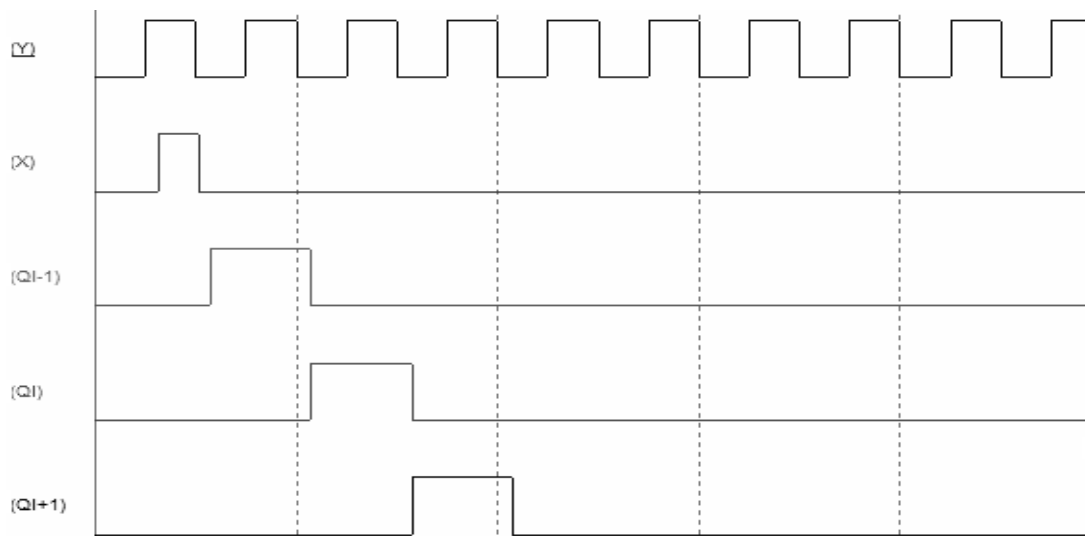


Рисунок 3 – Временные диаграммы работы сдвигающего регистра на 1 разряд вправо

1.3 Синтез сдвигающего регистра на D-триггерах

Выполним синтез i -го разряда сдвигающего регистра на D-триггерах (таблица 3).

Таблица 3

Таблица истинности D-триггера

$Y_{СДВ}$	D_i	Q_i^t	Q_i^{t+1}
1	0	0	0
1	1	0	1
1	0	1	0
1	1	1	1

Функция возбуждения имеет вид:

$$D_i = Q_i^{t+1}.$$

Схема сдвигающего регистра на 1 разряд вправо при использовании D-триггеров показана на рисунке 4.

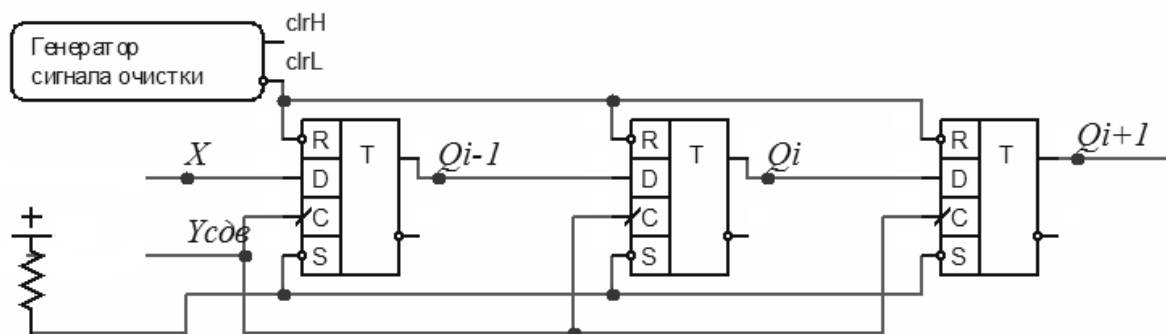


Рисунок 4 – Сдвигающий регистр на D -триггерах.

Временные диаграммы работы сдвигающего регистра (рисунок 4) представлены на рисунке 5.

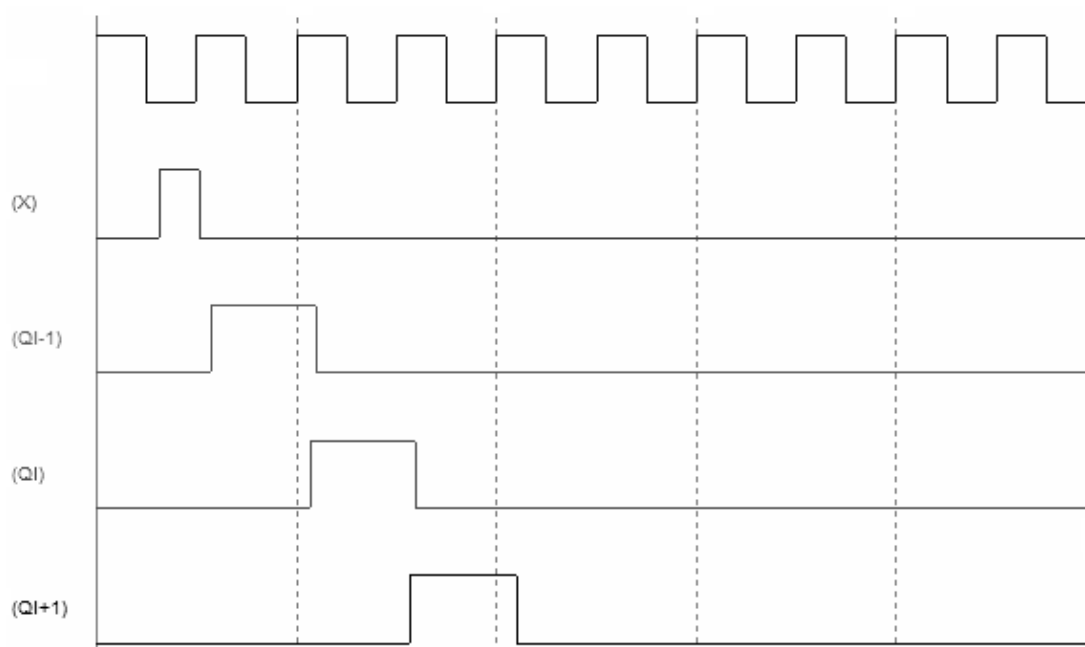


Рисунок 5 – Временные диаграммы работы сдвигающего регистра на 1 разряд вправо

При выполнении синтеза сдвигающего регистра на T -триггерах, выражение, описывающее структуру регистра, имеет вид:

$$T_i = Q_i^t \overline{Q_i^{t+1}} \vee \overline{Q_i^t} Q_i^{t+1} = Q_i^t \oplus Q_i^{t+1}.$$

Из этого выражения видно, что построение регистра на T -триггерах имеет усложненное схемное решение, так как на T -входы необходимо подавать сигналы, определяемые как сумма по mod2. Поэтому такая схема распространения не получила.

1.4 Реверсивные сдвигающие регистры

При построении реверсивного регистра, осуществляющего сдвиг информации как влево, так и вправо, в него должны быть введены схемы управления направлением сдвига. Эти схемы в зависимости от значений управляющих сигналов (L – сдвиг влево, R – сдвиг вправо) должны переключать входы каждого триггера либо к выходам предыдущего, либо – последующего триггера. При этом должно выполняться условие:

$$\begin{cases} R \cdot L = 0; \\ R \vee L = 1. \end{cases} \quad (2)$$

Уравнения, описывающие структуру связей входов-выходов разрядов регистра, построенного на J-K-триггерах, с учетом выражений (1) и (2), записываются следующим образом:

$$\begin{aligned} J_i^t &= R \cdot Q_{i-1}^t \vee L \cdot Q_{i+1}^t; \\ K_i^t &= R \cdot \overline{Q_{i-1}^t} \vee L \cdot \overline{Q_{i+1}^t}. \end{aligned} \quad (3)$$

Представим выражения (3) через элементы И-ИЛИ-НЕ:

$$J_i^t = \overline{R \cdot Q_{i-1}^t \vee L \cdot Q_{i+1}^t} = \overline{R \cdot Q_{i-1}^t} \cdot \overline{L \cdot Q_{i+1}^t} = \overline{R} \cdot \overline{Q_{i-1}^t} \vee \overline{Q_{i+1}^t} \cdot \overline{L} \cdot \overline{Q_{i-1}^t}.$$

Так как $R = \overline{L}$, $L = \overline{R}$ и $Q_{i-1}^t Q_{i+1}^t = 0$, то:

$$J_i^t = \overline{R Q_{i-1}^t} \vee \overline{L Q_{i+1}^t}.$$

Аналогичными выкладками получим выражение для K_i^t :

$$K_i^t = \overline{R Q_{i-1}^t} \vee \overline{L Q_{i+1}^t}.$$

Схема реверсивного сдвигающего регистра на J-K-триггерах показана на рисунке 6. Сдвиги влево и вправо осуществляются по сигналам сдвига, которые подаются на вход C .

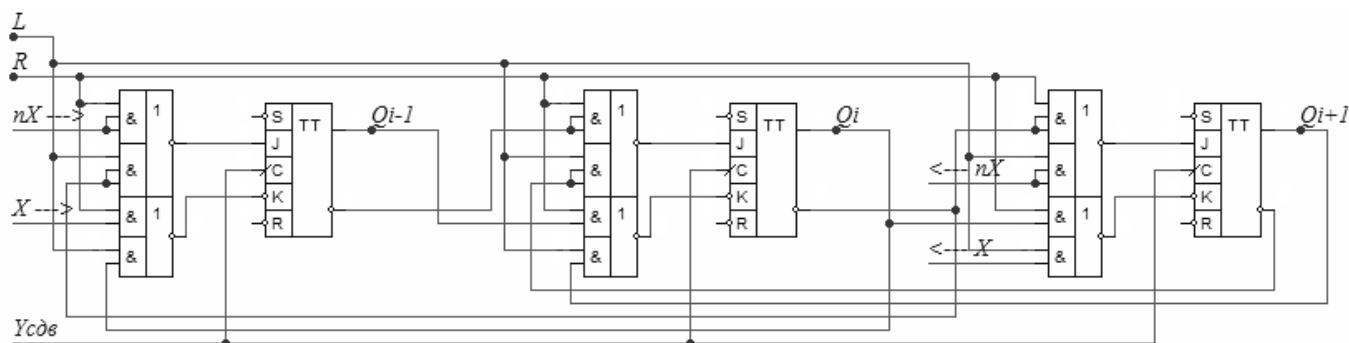


Рисунок 6 – Реверсивный сдвигающий регистр на J-K-триггерах

Реверсивный сдвигающий регистр можно построить на D-триггерах. Условие функционирования i -го разряда регистра выглядит следующим образом:

$$D_i^t = R \cdot Q_{i-1}^t \vee L \cdot Q_{i+1}^t.$$

Произведя преобразования, аналогичные J_i^t , получим функцию возбуждения D_i^t :

$$D_i^t = \overline{RQ_{i-1}^t} \vee \overline{LQ_{i+1}^t}.$$

Схема реверсивного сдвигающего регистра на D-триггерах показана на рисунке 7.

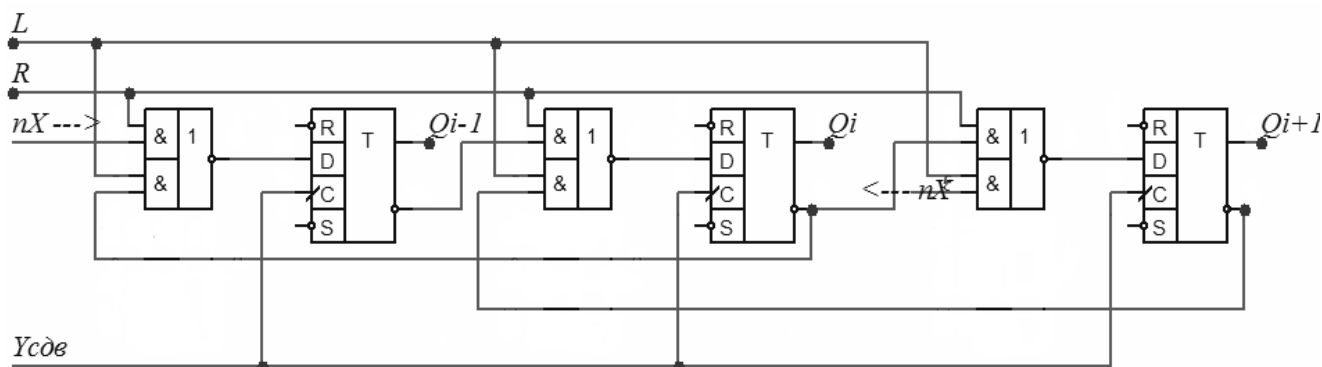


Рисунок 7 – Реверсивный сдвигающий регистр на D-триггерах

1.5 Синтез сдвигающих регистров на заданное число разрядов

Методы синтеза регистров для случая сдвига за один такт на 1 разряд распространяются и на общий случай, когда за один такт осуществляется сдвиг влево или вправо на j разрядов, где $j = 2, 3, \dots, m$.

Рассмотрим случай сдвига вправо. Состояние i -го разряда Q_i^t зависит от состояния $i-j$ -го разряда Q_{i-j}^t и подчиняется правилам функционирования, приведенным в таблице 1, при следующих ограничениях:

$$\begin{aligned} & \bigwedge_{j=0}^m R_j = 0; \\ & R_j \vee [\bigvee_{p=0}^m \bar{R}_p] = 1 \text{ при } j \neq p. \end{aligned}$$

Эти ограничения означают, что в данный момент только один сигнал сдвига может быть равен 1, а остальные должны быть равны 0.

На основании данных ограничений можно описать состояния входов разрядов регистров, построенных на J-K и D-триггерах:

$$\begin{aligned} J_i^t &= R_1 Q_{i-1}^t \vee R_2 Q_{i-2}^t \vee \dots \vee R_m Q_{i-m}^t, \\ K_i^t &= R_1 \overline{Q_{i-1}^t} \vee R_2 \overline{Q_{i-2}^t} \vee \dots \vee R_m \overline{Q_{i-m}^t}; \\ D_i^t &= \bigvee_{j=1}^m R_j \cdot Q_{i-j}^t. \end{aligned} \tag{4}$$

Представим выражения (4) через элементы И-ИЛИ-НЕ:

$$\begin{aligned} J_i^t &= \bigvee_{j=1}^m R_j \cdot \overline{Q_{i-j}^t}; \\ K_i^t &= \bigvee_{j=1}^m R_j \cdot Q_{i-j}^t; \\ D_i^t &= \bigvee_{j=1}^m R_j \cdot \overline{Q_{i-j}^t}. \end{aligned}$$

Входная логика i -го разряда регистра на D-триггерах для сдвига вправо на 1, 2, 3 и 4 разряда показана на рисунке 8.

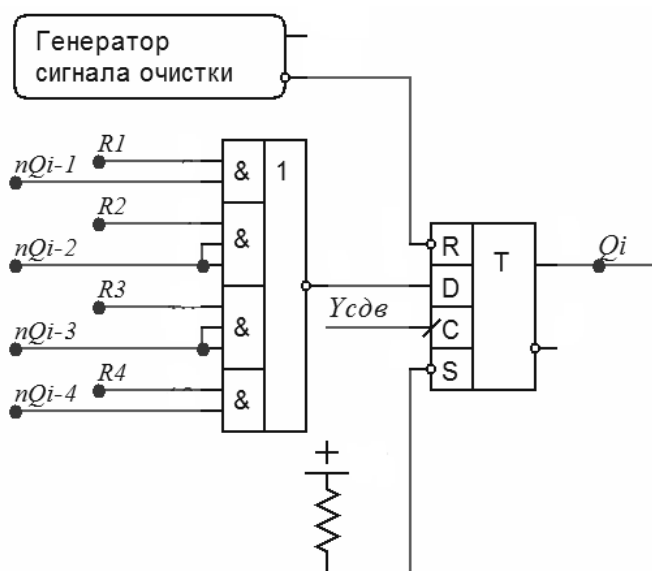


Рисунок 8 – Схема i -го разряда сдвигающего регистра на D-триггерах

1.6 Кольцевые сдвигающие регистры

Кольцевые регистры служат для сохранения информации при выполнении арифметических и логических операций. В таких регистрах крайние входы и выходы соединяются схемами, аналогичными схемам между двумя соседними разрядами.

Для случая сдвига вправо (рисунок 9) вход старшего разряда регистра описывается следующими выражениями для J-K- и D-триггеров, соответственно:

$$J_{n-1}^t = R_1 Q_0^t;$$

$$K_{n-1}^t = R_1 \overline{Q_0^t};$$

$$D_{n-1}^t = R_1 Q_0^t.$$

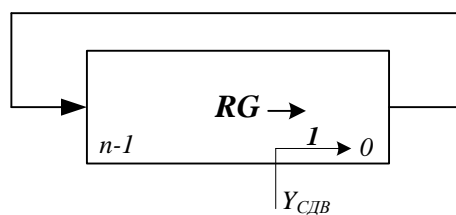


Рисунок 9 – Операционная схема кольцевого сдвигающего регистра вправо

1.7 Микрооперации в сдвигающих регистрах

Реализация микрооперации сдвига на m разрядов вправо в сдвигающем регистре (рисунок 10, а) может быть отображена следующим образом:

$$Y_{\text{СДВ}}: RG[0 : n-1] := R_m RG[0 : n-1],$$

на m разрядов влево (рисунок 10, б):

$$Y_{\text{СДВ}}: RG[0 : n-1] := L_m RG[0 : n-1].$$

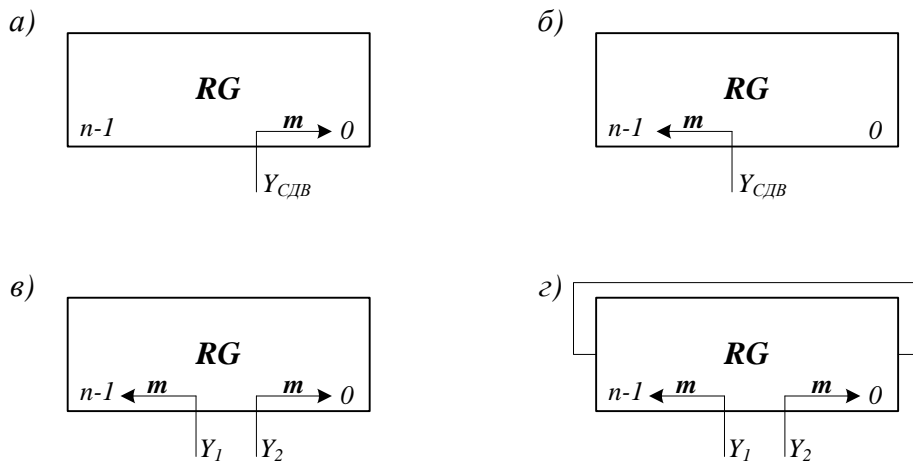


Рисунок 10 – Операционные схемы сдвигающих регистров

Микропрограмма работы реверсивного сдвигающего регистра (рисунок 10, в) может быть описана следующим образом:

$$Y_1: RG[0 : n-1] := L_m RG[0 : n-1],$$

$$Y_2: RG[0 : n-1] := R_m RG[0 : n-1].$$

Управляющие сигналы Y_1 и Y_2 не могут действовать одновременно, т.е. $Y_1 \& Y_2 = 0$.

Кольцевой, или циклический, регистр (рисунок 10, г) реализует следующие микрооперации:

$$Y_1: RG[0 : n-1] := CL_m RG[0 : n-1],$$

$$Y_2: RG[0 : n-1] := CR_m RG[0 : n-1].$$

Сдвигающие регистры относятся к регулярным структурам, т.к. разряды регистра строятся по одной и той же схеме. Каждый разряд состоит из элемента памяти – триггера и КС для реализации сдвига. Кроме того, в каждом разряде имеются цепи ввода и вывода информации.

2. ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ

1. Получить вариант задания у преподавателя.
2. Выполнить синтез сдвигающего регистра в соответствии с индивидуальным заданием.
3. Произвести моделирование в Micro-Cap 10 и проверить работоспособность сдвигающего регистра. Работа регистра контролируется по временным диаграммам с прямых выходов триггеров регистра.
4. Результаты работы показать преподавателю.
5. Оформить отчет.

3. ЗАДАНИЕ К ЛАБОРАТОРНОЙ РАБОТЕ

Задание к лабораторной работе формируется по таблице 4 в соответствии с вариантом, полученным у преподавателя.

Характеристики синтезируемого регистра:

I. Операция сдвига:

1. сдвиг влево,
2. сдвиг вправо,
3. реверсивный.

II. Количество сдвигов за 1 такт:

1. на один разряд,
2. на два разряда.

III. Тип регистра:

1. разомкнутый,

2. кольцевой.

IV. Тип триггера:

1. J-K,

2. D;

3. T.

Таблица 4

Индивидуальные задания

№ В	<i>I</i>	<i>II</i>	<i>III</i>	<i>IV</i>	№ В	<i>I</i>	<i>II</i>	<i>III</i>	<i>IV</i>
1	1	1	1	3	16	3	2	2	3
2	2	1	2	2	17	2	1	1	2
3	3	2	1	1	18	1	1	2	1
4	3	2	2	3	19	1	2	1	1
5	2	1	1	2	20	2	2	2	2
6	1	1	2	1	21	3	1	1	3
7	1	2	1	1	22	3	1	2	1
8	2	2	2	2	23	2	2	1	2
9	3	1	1	3	24	1	2	2	3
10	3	1	2	1	25	1	1	1	3
11	2	2	1	2	26	2	1	2	2
12	1	2	2	3	27	3	2	1	1
13	1	1	1	3	28	3	2	2	3
14	2	1	2	2	29	2	1	1	2
15	3	2	1	1	30	1	1	2	1

4. СОДЕРЖАНИЕ ОТЧЕТА

Отчет о лабораторной работе должен содержать:

- титульный лист;
- индивидуальное задание;
- этапы синтеза сдвигающего регистра;
- схема 4-х разрядного сдвигающего регистра, построенная в Micro-Cap 10;
- временные диаграммы.

5. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Сдвигающие регистры. Типы регистров.
2. Общая методика синтеза сдвигающих регистров.
3. Реверсивные сдвигающие регистры: управляющие сигналы, условия функционирования.
4. Кольцевые регистры.
5. Микрооперации в сдвигающих регистрах. Операционные схемы.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Зиятдинов С.И. Схемотехника телекоммуникационных устройств / С.И. Зиятдинов, Т.А. Суетина, Н.В. Поваренкин. – М.: Академия, 2013. – 368 с.
2. Аванесян Г.Р. Униполярные интегральные микросхемы / Г.Р. Аванесян, А.А. Беспалов. – М.: Горячая линия – Телеком, Радио и связь, 2003. – 220 с.
3. Угрюмов Е.П. Цифровая схемотехника / Е.П Угрюмов. – СПб.: БВХ – Петербург, 2010. – 816 с.

СОДЕРЖАНИЕ

Лабораторная работа № 4. Дешифраторы и шифраторы	1
Лабораторная работа № 5. Статические регистры	17
Лабораторная работа № 6. Сдвигающие регистры	30
БИБЛИОГРАФИЧЕСКИЙ СПИСОК	43